

BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA



# IMPLEMENTACIÓN DE UN OTA CON MÚLTIPLES TRAYECTORIAS PARA COMPENSACIÓN DE FASE

TESIS PRESENTADA POR DIEGO DE JESÚS CORONA LÓPEZ  
PARA OBTENER EL GRADO DE LIC. EN ELECTRÓNICA

ASESOR DE TESIS: DR. VÍCTOR RODOLFO GONZÁLEZ DÍAZ

Diciembre 2014



---

# Agradecimientos

Me gustaría que estas líneas sirvieran para expresar mi más profundo y sincero agradecimiento a todas aquellas personas que con su ayuda han colaborado en la realización del presente trabajo, en especial al Dr. Víctor Rodolfo González Díaz, asesor de esta investigación, por la orientación, el seguimiento y la supervisión continúa de la misma, pero sobre todo por la motivación y el apoyo recibido a lo largo de mi carrera.

Un agradecimiento muy especial merece la comprensión, paciencia y el ánimo recibidos de mi familia y amigos. A todos ellos, muchas gracias.

---

# Índice general

<b>Agradecimientos</b>	<b>3</b>
<b>Introducción</b>	<b>6</b>
<b>1. Fundamentos y Estado del Arte</b>	<b>9</b>
1.1. Introducción . . . . .	9
1.1.1. ¿Por qué el Diseño Analógico? . . . . .	11
1.2. Conceptos básicos de los Semiconductores . . . . .	14
1.3. Física de los dispositivos MOS . . . . .	16
1.3.1. Introducción . . . . .	16
1.3.2. Estructura MOS . . . . .	17
1.3.3. Características de Voltaje y Corriente . . . . .	19
1.4. Diseño de Amplificadores . . . . .	25
1.4.1. Amplificador de una etapa . . . . .	26
1.4.2. Amplificador Diferencial vs. Single Ended . . . . .	27
1.4.3. Amplificadores con más de una etapa . . . . .	31
<b>2. Compensación en Frecuencia</b>	<b>32</b>
2.1. Introducción . . . . .	32
2.1.1. Topologías NGCC, NMCF, NMC, MNMC, DPZC . . . . .	34
2.1.2. Topologías DLPC, DFCFC, ACBC . . . . .	41
2.1.3. Topologías AFFC y TCFC . . . . .	45
<b>3. Compensación propuesta basada en múltiples trayectorias</b>	<b>50</b>
3.1. Introducción . . . . .	50

---

3.2. Etapa Folded Cascode con dos trayectorias . . . . .	51
3.3. Etapa Folded Cascode con Espejos de Corriente . . . . .	54
3.3.1. Simulación a nivel transistor . . . . .	56
3.4. OTA con múltiples trayectorias . . . . .	58
3.4.1. Diseño y resultados a nivel transistor . . . . .	62
<b>4. Mejora de la Topología propuesta</b>	<b>69</b>
4.1. Introducción . . . . .	69
4.2. Análisis . . . . .	70
4.3. Simulación a nivel transistor . . . . .	71
4.4. Analisis de resultados (Pos y Pre-layout) . . . . .	75
4.5. Simulación pos-layout . . . . .	75
4.6. Resultados Finales (Ambas topologías) . . . . .	76
<b>5. Conclusiones y trabajo futuro</b>	<b>79</b>
<b>A. Diseño del layout</b>	<b>81</b>
A.1. Introducción . . . . .	81
A.2. Consideraciones de Diseño . . . . .	81
A.3. Diseño paso a paso en la herramienta Pyxis . . . . .	83

---

# Introducción

Hoy en día el área de procesamiento analógico de señales ha estado en constante y amplio desarrollo, ya que vivimos en un mundo indistinguiblemente analógico [8], por lo cual se requiere utilizar un método para el procesamiento de datos buscando ser una interfaz para los sistemas digitales, ya que últimamente el avance en la ingeniería electrónica integrada se ha visto reflejada más en el ámbito del diseño digital. Sin embargo esto no le resta importancia a los sistemas analógicos, ya que como se mencionó previamente, estos aportan celdas fundamentales en los sistemas digitales para proveer la interacción con el mundo físico, a su vez son ampliamente usados debido a su versatilidad y simplicidad a altas frecuencias y aplicaciones de muy baja potencia, además de eso los sistemas analógicos presentan una infinidad de aplicaciones las cuales ofrecen una mayor variedad de temas a explorar.

Uno de los componentes mayormente utilizados en aplicaciones analógicas y de alta frecuencia es el Amplificador Operacional de Transconductancia, llamado OTA (por sus siglas en inglés). Los OTAs son dispositivos electrónicos que transfieren un voltaje de entrada en una corriente de salida, por lo que principalmente se emplean como transductores de voltaje a corriente y pueden ser representados como una fuente de corriente controlada por voltaje (VCCS, por sus siglas en inglés); a diferencia de una VCCS, un OTA es tanto auto-polarizable como bipolar. La capacidad de ser controlado por corriente y la simplicidad que presentan las estructuras que emplean OTAs, es lo que hace al OTA tan atractivo.

El diseño de OTAs a escala nanométrica presenta muchos retos y restricciones, siempre se debe encontrar un balance entre: ganancia de DC, ancho de banda, slew-

rate, el voltaje máximo y mínimo de salida (Dynamic Swing) y el consumo de potencia, debido a su relación intrínseca de estos parámetros. Algunas de las propuestas más recientes toman en consideración una optimización en la transconductancia y el slew-rate para etapas folded cascode; sin embargo, el rango del swing de salida es muy limitado, por lo que una alternativa es incrementar la ganancia en DC por medio de una segunda etapa con lo cual se requiere el empleo de más potencia, además de que el empleo de este tipo de topologías requiere el uso obligatorio de un esquema de compensación de frecuencia, por lo cual pensar en la adición de una etapa más daría lugar a más restricciones.

Otra solución para mejorar el ancho de banda y el slew-rate en amplificadores de dos etapas, es utilizar una salida de clase AB, aunque se debe mantener controlada la corriente en estado de reposo en la etapa de salida con una dependencia mínima a la temperatura y variaciones de voltaje [9]. Por lo que este tema de tesis busca estudiar y diseñar una etapa de salida de clase AB mejorada para amplificadores basados en etapas folded cascode. Este esquema tiene como propósito mejorar el ancho de banda y la ganancia en DC con un incremento mínimo en el consumo de potencia, teniendo, como beneficio adicional, una compensación en frecuencia sencilla, ya que no existe un cero, en el lado derecho del plano  $s$ , en la función de transferencia del sistema, lo cual evita el uso de la técnica de compensación por medo de una resistencia (que es un parámetro dependiente de la temperatura).

## Objetivo general

Estudiar y diseñar una topología de un OTA con múltiples trayectorias para la compensación en frecuencia.

## Objetivos específicos

1. Analizar de manera teórica una topología de clase AB propuesta en [9].
2. Realizar el diseño y simulación, de la topología propuesta, mediante la herramienta Pyxis de Mentor Graphics utilizando el Kit correspondiente al de una tecnología de 350 nanómetros.

3. Diseñar un Layout eficiente que esté de acuerdo a todas las reglas de diseño y llevar a cabo la simulación correspondiente.

## **Justificación**

Como ya se ha mencionado, el diseño de circuitos integrados, en nuestro caso específico de los OTAs, a escala nanométrica presenta muchos retos, además conforme la tecnología avanza y se empiezan a obtener dispositivos mucho más pequeños, estos problemas se empiezan a volver más prominentes.

La opción más viable para solucionar estas problemáticas es emplear estrategias especiales para lograr un balance adecuado de estos parámetros, utilizar topologías de compensación para el diseño de OTAs de varias etapas y realizar un layout adecuado.

Es por eso que este trabajo de investigación busca aportar más información sobre cómo dar solución a estos problemas, a partir de una nueva topología, de la cual se pretende analizar a profundidad para demostrar los beneficios y desventajas que esta conlleva.

---

# Capítulo 1

## Fundamentos y Estado del Arte

### 1.1. Introducción

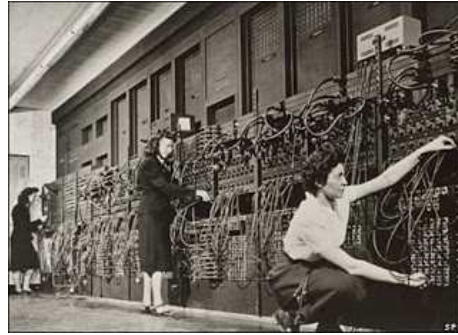
Aproximadamente hace 55 años un pequeño componente electrónico, que cambió de manera dramática el progreso tecnológico de la humanidad, fue creado.

El circuito integrado (CI), desató una evolución tecnológica comparable al de la revolución industrial, haciendo posible la tan conocida era digital. Hoy en día existen muchos más chips que personas en la tierra. Se encuentran alrededor de todos, millones y millones de ellos trabajando incansablemente, en dispositivos que facilitan la vida de todos [1].

Cuando el CI fue inventado por Jack Kilby en Texas Instruments en 1958, los dispositivos electrónicos funcionaban a base de tubos de vacío y aunque los transistores ya se habían inventado hace casi una década, aún no eran muy populares.

La cumbre que alcanzó la tecnología de tubos de vacío fue la primera computadora digital construida en 1946 con el nombre de ENIAC, un monstruo de máquina cuyo peso era de aproximadamente 30 toneladas y empleando casi 100 mil diferentes partes, las cuales incluían 18 mil tubos de vacío. Consumía 200 Kilowatts de potencia eléctrica, se dice que cuando era encendida, en el oeste de Philadelphia, las luces bajaban de intensidad. Y ese no era el mayor de los problemas, en un par de días

algún tubo de vacío dejaba de funcionar y tenía que ser remplazado; un problema bastante común de esta tecnología.



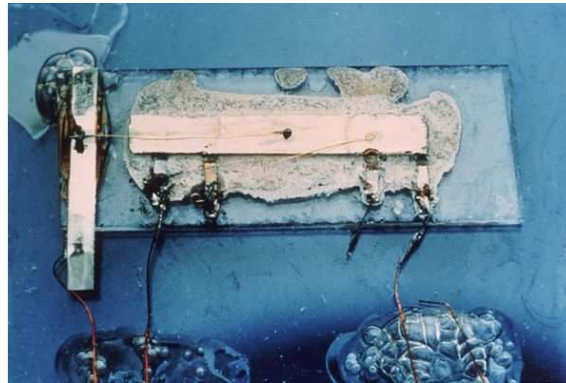
**Figura 1.1:** La primera computadora digital, ENIAC [2].

Viendo el tipo de problemas que presentaba el usar tubos de vacío para este tipo de aplicaciones, los científicos de los laboratorios Bell de AT&T se dieron a la tarea de buscar un reemplazo, y fue en diciembre de 1947 que los investigadores de este laboratorio encontraron su mina de oro. El objetivo era crear un dispositivo de estado sólido que no tuviera vacío, filamentos o alguna parte que se moviera de lugar. El equipo de investigadores puso sus ojos en los semiconductores; materiales novedosos cuyas propiedades apenas estaban siendo entendidas. Es así como se nació el transistor, un dispositivo diseñado para reemplazar los tubos de vacío y que disminuyó drásticamente el consumo de potencia en muchos dispositivos electrónicos.



**Figura 1.2:** Primer Transistor de punta de contacto [3].

La idea que Kilby propuso fue revolucionaria en su momento y consistía, en poner diferentes componentes de un circuito en un mismo bloque de material semiconductor, deshaciéndose así de conexiones con falsos contactos, creando de esta manera un circuito mucho más compacto. Él demostró su primer CI, funcionando perfectamente, en septiembre de 1958.



*Figura 1.3: Primer CI creado por Jack Kilby [5].*

Esto marcó el comienzo de una revolución y aunque ya los CI estaban siendo empleados en diferentes áreas, tanto militares como industriales, no fue hasta que Texas Instruments dio a conocer la calculadora portátil, que todos se empezaron a dar cuenta del gran potencial que tenían.

### 1.1.1. ¿Por qué el Diseño Analógico?

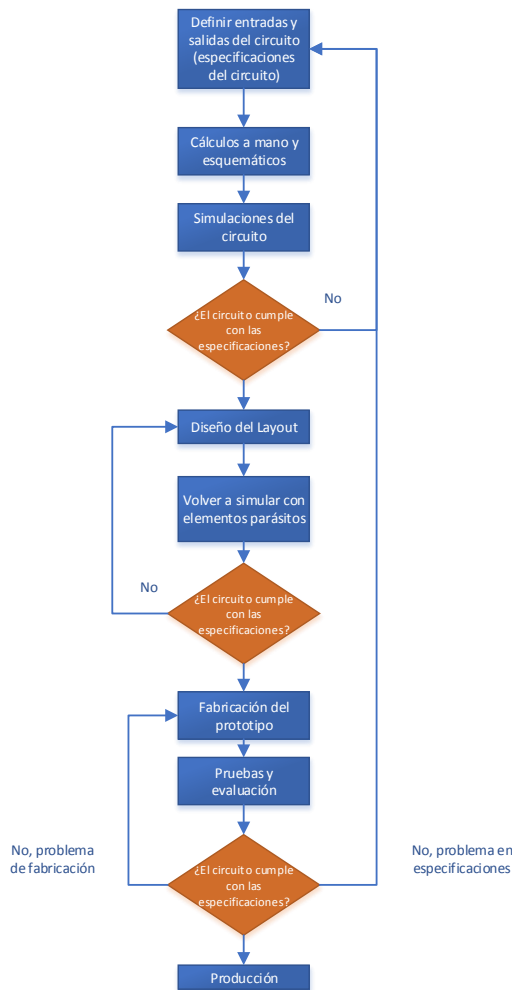
Las señales comúnmente son empleadas para transmitir información, el cual desde el punto de vista de la electrónica se puede dividir en dos tipos: señales analógicas y señales digitales. En ambos casos información como audio o vídeo (por nombrar algunas) es transformada en señales eléctricas logrando transmitir información. La diferencia radica principalmente en que la señal analógica es traducida a pulsos eléctricos que varían en amplitud y en la señal digital esta traducción se da en un formato binario (cero o uno) que representa sólo dos estados [4].

Hace unas décadas se pronosticaba la decadencia de los circuitos analógicos [6] ya que los algoritmos de procesamiento digital empezaron a volverse más complejos

y poderosos. Mientras que por el otro lado los avances en la tecnología de CIs fueron los que dieron lugar a una implementación más compacta y eficiente de estos algoritmos en placas de silicio. Poco a poco muchos de los sistemas digitales empezaron a sustituir a los sistemas analógicos. Con lo cual se pensó que en el futuro, con nuevos procesos de fabricación de CIs, todo el procesamiento de señales se volvería digital.

En la actualidad el procesamiento digital de señales y la tecnología de CIs ha avanzado a pasos agigantados, ofreciendo la capacidad de tener millones de transistores en las manos, por medio de dispositivos que se emplean día a día, con lo cuales es posible realizar billones de operaciones en segundos; sin embargo, la desaparición de los sistemas analógicos no se vislumbra en un futuro cercano, pero ¿por qué? Bueno la respuesta es simple, los circuitos analógicos son fundamentalmente necesarios en diversos sistemas, debido a la complejidad que implica el remplazarlos con sus contrapartes digitales correspondientes y en algunos casos es imposible, incluso contando con el gran avance tecnológico y más importante, el mundo es analógico. Se puede interpretar cualquier fenómeno natural como una señal analógica y empleando distintos tipos de sensores es posible interpretar la información que brindan. Para poder procesar este tipo de señales en el dominio digital, se necesita emplear convertidores analógico-digitales, de los cuales se encarga el diseño analógico. Y no sólo eso, también los circuitos analógicos se emplean en distintas áreas de la electrónica tales como: Comunicación digital, Discos duros de estado sólido, Receptores inalámbricos y ópticos, Microprocesadores y Memorias.

La tecnología más empleada para construir estos sistemas, ya sea en chips de integración a gran escala (VLSI, por sus siglas en inglés) o en integración a ultra gran escala (ULSI, por sus siglas en inglés), y que sigue dominando este ámbito es la CMOS, en específico el proceso de fabricación. Se piensa que este dominio seguirá presente al menos durante los próximos 22 años o incluso más [6]. Las principales razones por las cuales se emplea la anterior afirmación, es que la tecnología CMOS es confiable, de bajo consumo de potencia, de bajo costo, fabricable y presenta un factor muy importante en la industria, la escalabilidad.



**Figura 1.4:** Diagrama de flujo del proceso de diseño de CIs

El proceso tradicional de diseño de un circuito CMOS se encuentra ilustrado en la Figura 1.4. Se debe considerar que las especificaciones iniciales rara vez se proponen en concreto porque a menudo estas pueden ir cambiando al avanzar en el proyecto. Esto se debe en la mayoría de los casos al compromiso entre costo y eficiencia, cambios en la demanda comercial del chip, o simplemente las necesidades del cliente.

La tarea de diseñar el layout del CI por lo general la llevan a cabo diseñadores dedicados únicamente a esto; sin embargo es de vital importancia que el diseñador del circuito pueda dibujar el layout del CI y también que sea capaz de entender

los elementos parásitos que involucra el diseño del layout. Estos elementos traen consigo diferentes problemas como: fugas de corriente, incremento en el consumo de potencia, carga almacenada, efecto latch-up, et al. Los elementos considerados como parásitos pueden ser capacitancias, inductancias, uniones p-n y transistores bipolares. Si se requiere diseñar elementos de alto desempeño y precisión, es importante que el diseñador tenga en mente estos problemas para poder cumplir con las especificaciones requeridas.

## 1.2. Conceptos básicos de los Semiconductores

Los semiconductores son la base de los CI y partiendo desde la definición básica que se encuentra al separar esta palabra en sus dos componentes, Semi (que quiere decir que no es completamente) y conductor (que quiere decir que es capaz de conducir electricidad) se tiene una idea general sobre el comportamiento de este material. El semiconductor es un material que cuenta con una conductividad intermedia entre un conductor, como el aluminio, y un aislante (material que no conduce electricidad), como el vidrio. Para los primeros transistores el semiconductor que se empleaba era el germanio y hoy en día el más empleado en los CIs es el silicio.

Los semiconductores se clasifican en dos categorías: intrínsecos y extrínsecos. Un semiconductor intrínseco es un material que químicamente es muy puro y su conductividad es muy baja, posee el mismo número de portadores de carga<sup>1</sup> negativa (electrones) como de carga positiva (huecos). Por el otro lado un semiconductor extrínseco es el que pasa por un proceso llamado dopaje, en el que pequeñas cantidades de impurezas son añadidas al semiconductor puro, lo que ocasiona grandes cambios en las propiedades eléctricas del material aumentando su conductividad. Este proceso de dopaje produce dos grupos de semiconductores extrínsecos: los conductores de carga negativa (tipo-n) y los conductores de carga positiva (tipo-p)

---

<sup>1</sup>Los portadores de carga son partículas libres, móviles y no enlazadas las cuales pueden dar lugar a la conducción eléctrica con voltajes relativamente bajos, a diferencia de los iones los cuales se encuentran inmóviles y necesitan de una fuerza externa mayor a la necesaria en los portadores de carga, para poder romper sus enlaces y dar lugar a la conducción

Para ejemplificar el caso de un semiconductor tipo-n, si se toma a un semiconductor puro, en este caso silicio (que cuenta con 4 electrones de valencia), y se le agrega un átomo de antimonio, éste se enlazarará con los átomos de silicio en su vecindad generando 4 enlaces covalentes con sus electrones de valencia y los del silicio; pero dado que el antimonio cuenta con 5 de estos, un electrón quedará “libre”, como se puede ver en la Figura 1.5 el cual en la presencia de un campo eléctrico podrá moverse a través del material.

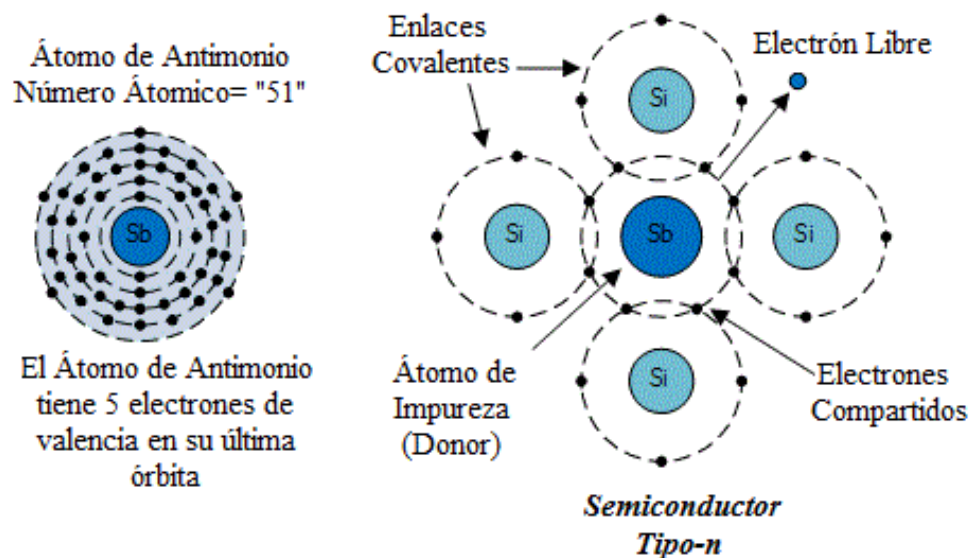
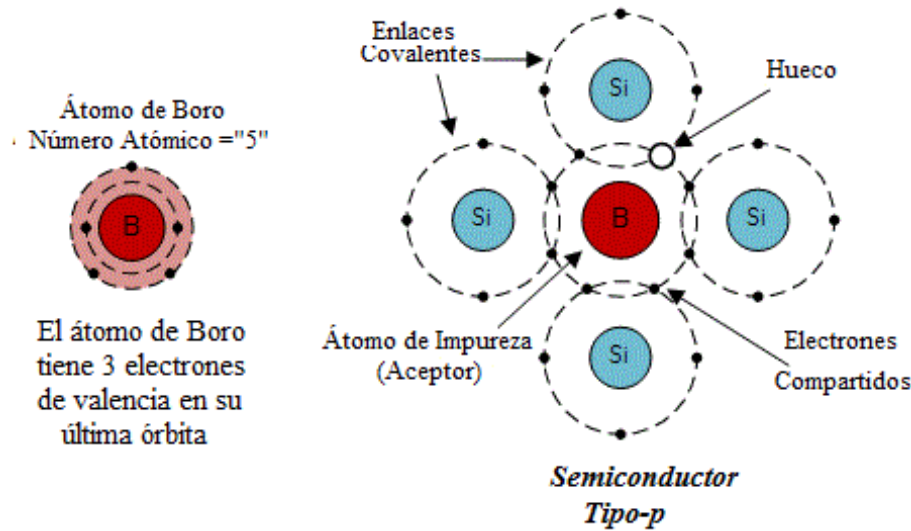


Figura 1.5: Átomo de un semiconductor tipo-n

En el caso del tipo-p en lugar de agregar un átomo con 5 electrones de valencia al silicio, se agrega uno con 3 electrones de valencia, e.g. el boro. En esta situación el átomo de boro sólo podrá generar 3 enlaces covalentes con los átomos del silicio, y ya que este último cuenta con 4, se dejará al semiconductor dopado con un “hueco”, como se puede ver en la Figura 1.6, permitiendo que los electrones se muevan a través de este en presencia de voltaje.



*Figura 1.6: Átomo de un semiconductor tipo-p*

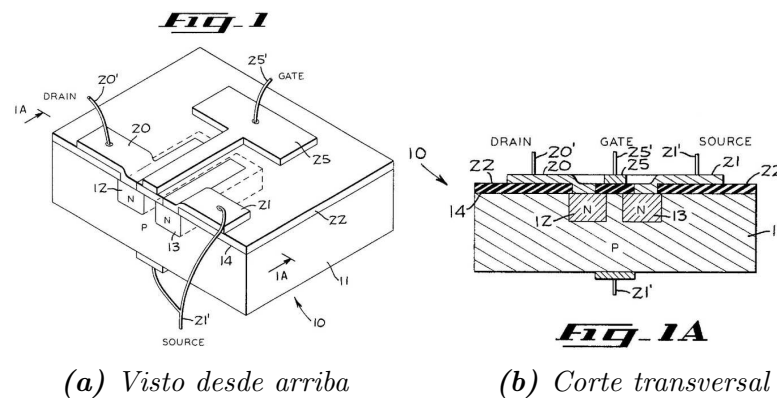
Esta es la idea básica sobre cómo funcionan los semiconductores la cual es importante dejar en claro, la teoría detrás del funcionamiento de este es muy extensa e involucra conocimiento de diversas áreas de la ciencia, pero para el caso específico de esta tesis no es necesario profundizar mucho en este aspecto.

## 1.3. Física de los dispositivos MOS

### 1.3.1. Introducción

Frank Wanlass, fue un ex-personal del servicio de inteligencia Militar de los Estados Unidos de América, que se unió a Fairchild Semiconductor en el año de 1963, donde utilizó el proceso de manufactura planar de la misma empresa, para mejorar la estabilidad de los transistores de efecto de campo uniendo transistores tipo p y n. Todos en Fairchild recuerdan este período como uno de extrema creatividad en el que Wanlass se dio a la tarea de estudiar los aspectos tanto químicos como físicos de las estructuras MOS, llegando a la fabricación de circuitos integrados MOS, considerando cómo estos nuevos dispositivos podrían ser explotados en el mercado. El gran avance tecnológico que llegó a desarrollar Wanlass fue la invención del CMOS, que llevo a crear transistores que consumen muy poca potencia en estado de reposo. A

Wanlass se le dio la patente en EUA con número #3,356,858 [7] por “Circuitería de Bajo consumo en estado de reposo CMOS” en 1967. De hecho, cuando Wanlass dio una demostración de esta tecnología, probó que consumía mucha menos potencia que los circuitos bipolares de esa época y además por un factor de un millón. Esto dio lugar a nuevos dispositivos que podían ser alimentados con baterías y controlados por chips CMOS. Uno de los primeros dispositivos en utilizar esta tecnología fue el reloj digital.



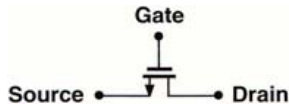
**Figura 1.7:** Dispositivos patentados por Wanlass

### 1.3.2. Estructura MOS

Para poder entender de manera simple el funcionamiento de estos dispositivos, es útil considerar un modelo bastante sencillo en el cual se deja claro lo que se espera que haga un transistor y también se consideran los aspectos esenciales del dispositivo.

En la Figura 1.8 se observa el símbolo típico de un transistor tipo-n (NMOS), el cual cuenta con tres terminales: source(S), drain(D) y gate(G). Y las primeras dos pueden ser intercambiables ya que el dispositivo es simétrico. Si se piensa que el transistor funciona como un switch, entonces el funcionamiento que se podría deducir al ver la figura, será que transistor debe interconectar el source y el drain cuando un tipo de señal lo suficientemente fuerte, en este caso un voltaje, esté presente en el gate; por lo tanto si el voltaje en el gate,  $V_G$ , es “alto” el source y el drain se interconectan, y se puede decir que está encendido el dispositivo, y si es “bajo” se

encuentran aislados el uno del otro, y el dispositivo se encuentra apagado.



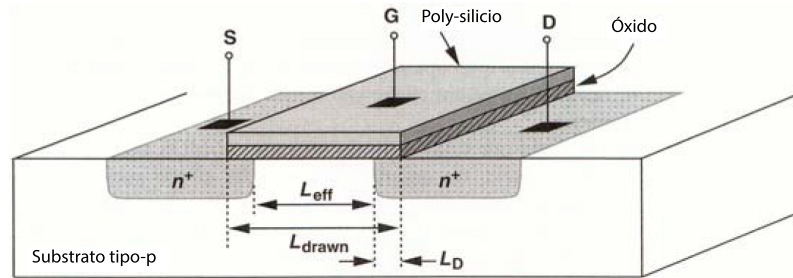
*Figura 1.8: Dispositivo MOS simple [8]*

Para facilitar el entendimiento de este dispositivo es mejor dejar en claro las partes que constituyen su estructura como se explica a continuación (teniendo en mente que todos los CIs se fabrican en obleas de silicio, como se muestra en la Figura 1.9)



*Figura 1.9: Oblea de Silicio*

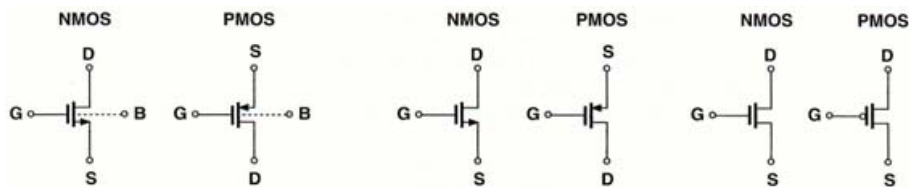
En la Figura 1.10 se muestra el corte transversal de la estructura simplificada de un transistor NMOS. El transistor se encuentra fabricado en un sustrato tipo-p (por lo general este es la oblea de silicio), el cual recibe el nombre de bulk (B), en él se crean dos regiones tipo-n altamente dopadas, las cuales forman el source y el drain. Por último, para el gate se utiliza un pedazo de polisilicio conductor (altamente dopado), al cual también se le llama poly, y una delgada capa de dióxido de silicio ( $SiO_2$ ) la cual aísla al gate del sustrato.



**Figura 1.10:** Estructura de un dispositivo MOS [8]

Existen dos factores fundamentales con los que cualquier diseñador debe trabajar, estos son la longitud,  $L$ , y el ancho,  $W$ , de los transistores. La longitud  $L$  es la dimensión medida justo debajo del gate entre el source y el drain. La dimensión perpendicular a la longitud es aquella que llamamos ancho  $W$ . Debido a los procesos de fabricación las regiones del S y el D no quedan posicionadas exactamente en los límites del G, es por eso que la distancia verdadera entre el source y el gate es un poco menor a  $L$ . Como se puede ver en la imagen esta distancia verdadera o distancia efectiva es  $L_{eff} = L_{drawn} - 2L_D$  donde  $L_{drawn}$  es la distancia total a partir del gate y  $L_D$  es la longitud de difusión debido al proceso de fabricación.

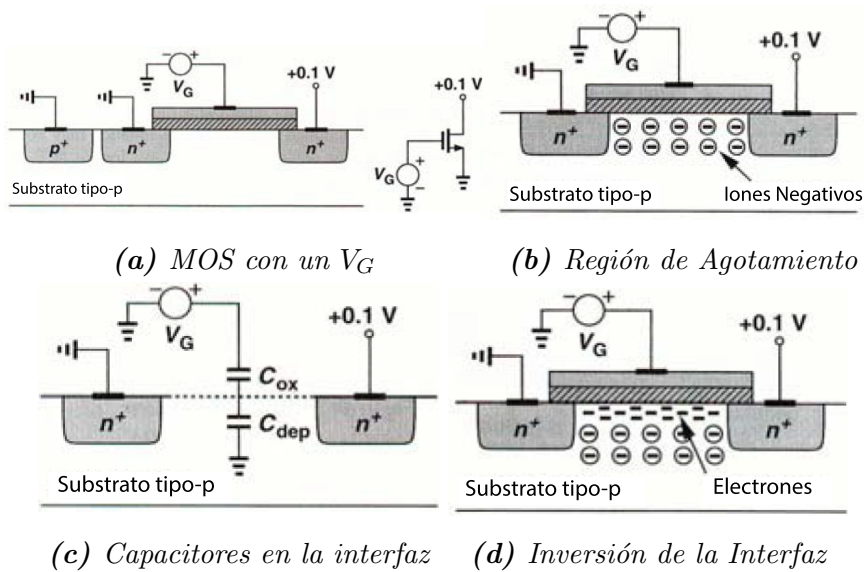
Los símbolos más comunes de los dispositivos MOS, que se ocupan a lo largo de este trabajo, se muestran en la Figura 1.11.



**Figura 1.11:** Símbolos para dispositivos MOS [8]

### 1.3.3. Características de Voltaje y Corriente

Para poder trabajar en un nivel de abstracción mayor, i.e. ir a nivel circuito, hay que analizar las características de voltaje ( $V$ ) y corriente ( $I$ ) del dispositivo.



**Figura 1.12:** Proceso para la formación del canal de conducción [8]

Al analizar estas características se considera un transistor NMOS el cuál presenta un voltaje en el G,  $V_g$ , donde se incrementa su valor desde cero (se hace más positivo) [Figura 1.12a]. El G y el B forman un capacitor, que mientras  $V_g$  incrementa, repele a los huecos del B tipo-p dejando en su lugar iones negativos, creando una región de agotamiento [Figura 1.12b] (Llamada así debido a la inexistencia de portadores de carga), impidiendo el flujo de corriente. También se dice que la interfaz se invierte.

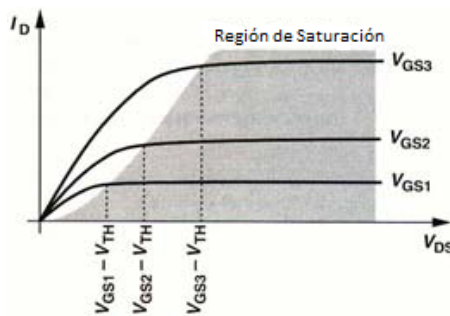
Conforme aumenta  $V_G$  también aumenta el ancho de la región de agotamiento. A simple vista esto se asemeja a dos capacitores en serie (el de la interfaz G-óxido de silicio y el de la región de agotamiento) como se observa en la Figura 1.12c. Cuando  $V_G$  alcanza un valor lo suficientemente grande se crea un “canal” de portadores de carga debajo de la interfaz gate-óxido, a través de este los electrones viajarán del S al D, considerando así que el transistor se encuentra “encendido” [Figura 1.12d]. El valor de  $V_G$  en el que se enciende el dispositivo (también se dice que la interfaz se invierte) es llamado *Voltaje de Umbral*,  $V_{th}$ . La carga en la región de agotamiento se mantiene relativamente constante, al aumentar  $V_G$  más allá de  $V_{th}$ ; por otro lado, la densidad de portadores de carga aumentará en el canal, lo que dará lugar a un mayor flujo corriente del S al D.

En sí, es posible resumir que el dispositivo se encuentra “encendido” para  $V_{GS} \geq V_{th}$ . Para el dispositivo PMOS, como se mencionó *vid supra*, el “encendido” se da pero con las polaridades invertidas. La corriente dentro del canal está dada según la siguiente ecuación (considerando que la corriente,  $I_D(V_{ds})$ , a lo largo del canal es constante):

$$I_D(V_{ds}) = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (1.1)$$

Donde  $\mu_n$  representa la movilidad de los portadores de carga (electrones en el caso del NMOS) y L representa la longitud efectiva del dispositivo. Por lo general a  $V_{GS} - V_{th}$  se le llama *Voltaje de Overdrive* y a  $W/L$  se le conoce como relación de aspecto, o simplemente *ratio*. Esta corriente se observa cuando  $V_{DS}$  excede  $V_{GS} - V_{th}$ , aunque la ecuación (2.1) se comporta como una parábola, en realidad la corriente  $I_D(V_{ds})$  no sigue este patrón, de hecho, se comporta de manera casi constante, con respecto a  $V_{ds}$ , como se puede observar en la gráfica de la Figura 1.13, en este caso se dice que el dispositivo opera en la *región de saturación*.

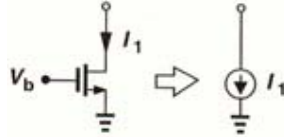
Ahora bien, cuando  $V_{DS} \leq V_{GS} - V_{th}$  se dice que el transistor opera en la *región de triodo*, también conocida como *región lineal*, que se puede considerar como una resistencia lineal controlada.



**Figura 1.13:**  $I_D$  vs.  $V_{DS}$  en la región de saturación [8]

Una diferencia importante que cabe destacar, es que la movilidad de los huecos  $\mu_p$  de los dispositivos PMOS es menor a los NMOS, por lo general pueden tener la mitad o un cuarto de la movilidad de los electrones,  $\mu_n$ .

Cuando los dispositivos MOS se encuentran en la región de saturación, estos pueden ser vistos como fuentes de corriente conectadas entre el D y el S como se puede ver en la Figura 1.14.



**Figura 1.14:** MOS en saturación operando como una fuente de corriente [8]

Es al estudiar al dispositivo en esta región cuando se observa que se trata de un transductor, i.e. como un dispositivo capaz de transformar un determinado tipo de energía en su entrada, en otra totalmente diferente a la salida. El dispositivo MOS produce una corriente a la salida en respuesta al potencial  $V_{GS}$  a la entrada. Ya que en el procesamiento de señales se trabaja con cambios de voltaje y corrientes, es necesario saber la sensibilidad del dispositivo. Esta sensibilidad es llamada Transconductancia y se encuentra descrita por la ecuación siguiente:

$$g_m = \frac{\delta I_D}{\delta V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \quad (1.2)$$

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (1.3)$$

$$g_m = \frac{2I_D}{V_{GS} - V_{th}} \quad (1.4)$$

En estas ecuaciones se puede apreciar que un ligero cambio en  $V_{GS}$  representa un gran cambio en  $I_D$ , con lo cual se puede determinar, como se mencionó *vid supra*, qué tan sensible es el dispositivo.

### Efectos de Segundo Orden

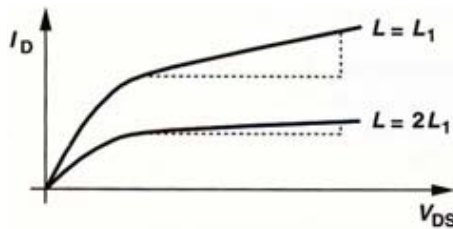
El análisis del dispositivo MOS que hasta ahora se ha presentado es uno muy simplificado, pero existen otro tipo de efectos con los que se tiene que lidiar a la hora de hacer diseño analógico. En general los efectos más importantes son:

- Efecto de cuerpo
- Modulación del largo del canal
- Conducción sub-umbral

Cada uno de estos efectos requiere de mucho análisis debido a su complejidad, pero a continuación se estudiará, de manera sencilla, el efecto más importante a considerar para entender el modelo en pequeña señal, que se trabaja *vid infra*.

### Modulación del largo del canal

Este efecto se debe principalmente al “estrangulamiento del canal” mencionado anteriormente, en el que la longitud del canal invertido se acorta al aumentar la diferencia de potencial entre el G y el D, con respecto del S. De manera que la longitud  $L$ , ahora acortada y con una magnitud diferente llamada  $L'$ , es una función de  $V_{DS}$ . Esto es el efecto de modulación del largo del canal, donde  $L' = L - \Delta L$  siendo  $\Delta L$  la variación en la longitud del canal. La respuesta de la corriente de saturación  $I_D$  a variaciones de  $V_{DS}$  es más aproximada a la real teniendo en cuenta este efecto, ya que como se muestra en la Figura 1.15 la corriente en saturación presenta una ligera pendiente distinta de cero, i.e. los dispositivos MOS no son fuentes de corriente ideales en la región de saturación. Este efecto se ve reflejado en el modelo en pequeña señal, como se indica en la subsección posterior que trata el tema de los modelos en pequeña señal para los dispositivos MOS.

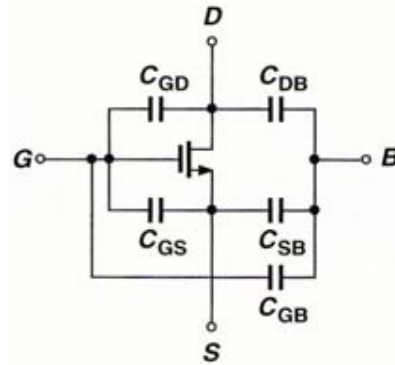


**Figura 1.15:** Pendiente finita en la región de saturación debido al efecto de modulación de canal [8]

### Capacitancias de los Dispositivos MOS

Las capacitancias asociadas se muestran en la Figura 1.16. Cuando se está diseñando no es necesario tener en consideración todas estas capacitancias, debido a

que algunas pueden presentar valores despreciables que no afectan de manera razonable el comportamiento del circuito en general, y en algunos casos se puede simplificar el diseño teniendo en cuenta una sola capacitancia parásita.

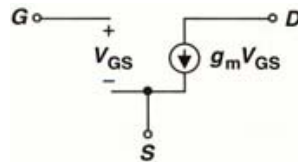


**Figura 1.16:** Capacitancias MOS [8]

### Modelo en pequeña señal para dispositivos MOS

El modelo en pequeña señal es bastante útil cuando se analizan circuitos en los cuales la señal de entrada presenta perturbaciones pequeñas las condiciones de polarización, y dado que los dispositivos MOS, en los circuitos analógicos, se operan en la región de saturación, el modelo que se presenta *vid infra* corresponde al dispositivo trabajando en esta región.

El modelo sencillo, sin tener en consideración el efecto de modulación de canal, se muestra en la Figura 1.17.

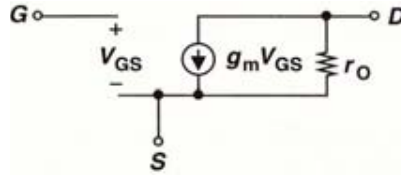


**Figura 1.17:** Modelo MOS en pequeña señal sencillo [8]

Para incluir el efecto de modulación de canal se utiliza una resistencia lineal, la razón de esto es que el efecto se modela como una fuente de corriente controlada por voltaje, pero esta fuente depende de manera lineal del voltaje a través de ella. Esta

resistencia lineal se encuentra entre el D y el S como se muestra en la Figura 1.17, el valor de esta resistencia se puede encontrar a partir de:

$$r_o = \frac{\Delta V_{DS}}{\Delta I_D} \approx \frac{1}{\lambda I_D} \quad (1.5)$$



**Figura 1.18:** Modelo MOS en pequeña señal con efecto de modulación de canal [8]

Este último modelo es el más utilizado para el diseño de circuitos analógicos y es con el que se estará trabajando a lo largo de esta investigación.

## 1.4. Diseño de Amplificadores

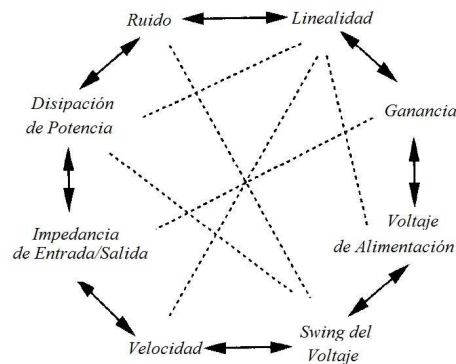
La gran mayoría de los circuitos analógicos (y también en muchos de tipo digital) emplean una función esencial para su correcto funcionamiento, la amplificación de señales. Se emplea principalmente porque algunas de las señales analógicas o digitales llegan a ser muy pequeñas, por lo que pueden ser confundidas con ruido, necesitan tener niveles de voltaje bien establecidos para controlar alguna otra parte dentro del circuito, o en el caso de los sistemas digitales, tener el nivel adecuado de voltaje para ser considerada una señal con niveles lógico-digitales.

Los factores más importantes que determinan el desempeño en cualquier amplificador y que se encuentran muy relacionados entre sí son:

- Ganancia
- Velocidad de respuesta
- Consumo de potencia
- Voltajes de alimentación

- Linealidad
- Ruido
- Voltaje máximo y mínimo a la salida (Swing)
- Impedancia de entrada y salida

Entrando al proceso de diseño, estos factores presentan un problema ya que cada uno afecta de alguna manera a otros, debido a la relación intrínseca que existe entre ellos, como se representa en el octágono la Figura 1.19, estos son factores conocidos como trade-offs y son una de las razones por las que el diseño no es una tarea sencilla, exigiendo al diseñador intuición y experiencia para poder lograr el objetivo deseado.

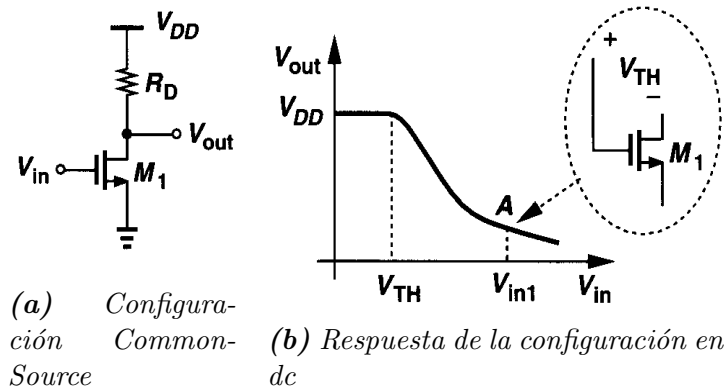


**Figura 1.19:** Trade-Offs [8]

### 1.4.1. Amplificador de una etapa

Existen diversas configuraciones de amplificadores de una sola etapa, pero la topología que se emplea de manera recurrente en los amplificadores con más de una etapa, es la de tipo Common-source. Recordando que los dispositivos MOS son transductores, la idea de este tipo de amplificador es que a través de variaciones en el voltaje  $V_{GS}$  se dé a la salida una corriente en señal alterna, la cual al pasar por un capacitor generará un voltaje. En la Figura 1.20a, se muestra esta configuración <sup>2</sup>.

<sup>2</sup>En esta configuración comúnmente en lugar de una resistencia se emplea otro dispositivo MOS en modo Diodo, para más información véase [8]



**Figura 1.20:** Carga en el canal (a) con potenciales en el S y D iguales (b) con potenciales en el S y D diferentes [8]

En el comportamiento de este circuito en DC, que se muestra en la Figura 1.20b, se observa que al aumentar el voltaje de entrada,  $V_{in}$ , desde cero, cuando el dispositivo se encuentra apagado, el voltaje de salida,  $V_{out}$ , es igual a  $V_{DD}$ , el voltaje de alimentación. Cuando  $V_{in}$  se acerca más al valor de  $V_{th}$ , i.e. cuando el dispositivo,  $M_1$ , se empieza a encender, una corriente  $I_D$  empieza a fluir a través del resistor  $R_D$  y a la salida se tiene un voltaje:

$$V_{out} = V_{DD} - R_D I_D \quad (1.6)$$

$$V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in} - V_{th})^2 \quad (1.7)$$

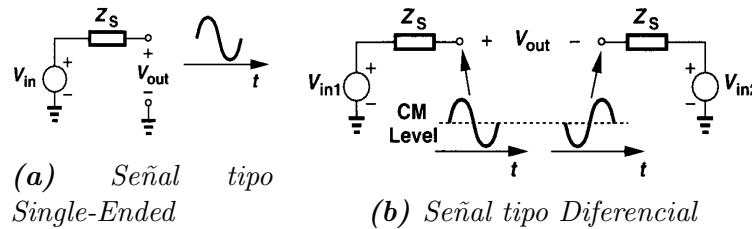
En estas ecuaciones no se toma en cuenta el efecto de modulación de canal. Eventualmente al aumentar más y más  $V_{in}$ ,  $V_{out}$  irá disminuyendo hasta llegar al punto A, que se observa en la Figura 1.20b, dónde  $M_1$  estará operando en la región de triodo. Para los amplificadores es mejor quedar fuera de esta región, por lo que se debe respetar que  $V_{out} > V_{in} - V_{th}$  operando del lado izquierdo del punto A.

### 1.4.2. Amplificador Diferencial vs. Single Ended

El amplificador diferencial es una de las celdas básicas en el diseño analógico de alto desempeño. Este tipo de amplificador tiene dos modos de funcionamiento: el

modo Single-Ended y el modo Diferencial. En el primero la señal se mide con respecto a un potencial fijo, normalmente a tierra [Figura 1.21a]; para el segundo modo de operación, la señal es medida entre dos nodos cuyo potencial es igual y opuesto [Figura 1.21b]. El punto medio o centro por el que las dos señales en modo diferencial pasan, recibe el nombre de *Nivel de Modo Común (CM)*.

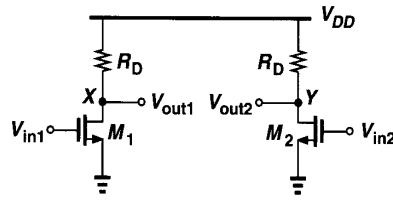
En general, la ventaja que ofrece el modo diferencial, es una mayor inmunidad al ruido “ambiental”, por lo general causados por la fuente de alimentación. Además, otras ventajas del modo diferencial, es su facilidad para ser polarizados, así como una mayor linealidad. Y aunque parece que los circuitos diferenciales ocupan mayor área, éste es el menor de los inconvenientes. Para resolver algunos de los efectos no ideales en el circuito diferencial se emplea una menor área a diferencia de las distintas alternativas que presentan los circuitos single-ended. Estas ventajas que ofrecen los circuitos diferenciales, hacen que el inconveniente de un área mayor no sea de gran impacto.



**Figura 1.21:** Modos de operación del Amplificador Diferencial [8]

### Par Diferencial Básico

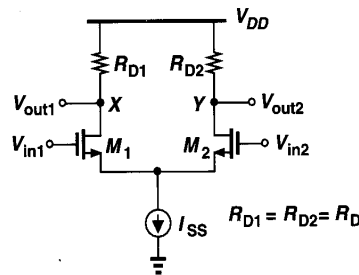
El par diferencial más básico que existe es el que se muestra en la Figura 1.22, está formado por dos amplificadores tipo Common-Source; estos por separado funcionarían en modo Single-Ended, pero al unirlos es posible procesar dos señales con fases diferentes, obteniendo así, el modo Diferencial.



**Figura 1.22:** Amplificador Diferencial sencillo

En esta configuración es importante tener bien definido un nivel de Modo Común, de no estar bien definido las corrientes de polarización de  $M_1$  y  $M_2$  variarían, lo que cambiaría los valores de transconductancia de los dispositivos, afectando la respuesta del sistema y con lo cual se obtendrían resultados no deseados.

Es común emplear una fuente de corriente,  $I_{SS}$ , para que tanto  $I_{D1}$  como  $I_{D2}$  sean independientes del nivel de modo común, como se observa en la Figura 1.23; de esta manera si  $V_{in1} = V_{in2}$  la corriente a través de cada transistor será  $I_{SS}/2$ , donde el modo común es igual a  $V_{DD} - R_D I_{SS}/2$ .

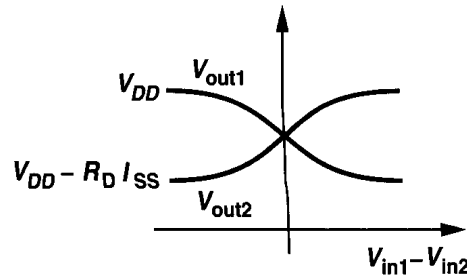


**Figura 1.23:** Amplificador Diferencial sencillo [8]

La respuesta característica de entrada/salida del sistema se muestra en la gráfica de la Figura 1.24, en la que  $V_{in1} - V_{in2}$  varía de  $-\infty$  a  $\infty$ . La ganancia total del sistema<sup>3</sup> es:

$$|Av| = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS} R_D} = g_m R_D \quad (1.8)$$

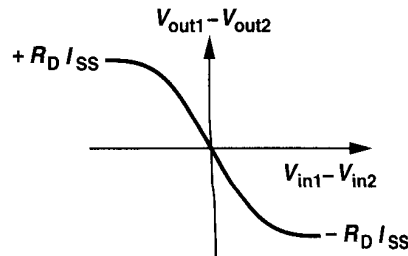
<sup>3</sup>Ésta puede ser obtenida por distintos métodos, siendo el método del medio circuito el más fácil de emplear. Este se trata más a fondo en [8]



**Figura 1.24:** Respuesta característica del Amplificador Diferencial [8]

Estas dos, la respuesta característica y la corriente a través de cada transistor, muestran dos características importantes del circuito.

1. Los niveles máximo y mínimo a la salida se encuentran bien establecidos,  $V_{DD}$  y  $V_{DD} - R_D I_{SS}$ , respectivamente.
2. La ganancia en pequeña señal (La pendiente de la Figura 1.25) alcanza su valor máximo cuando  $V_{in1} = V_{in2}$ , donde se dice que el sistema está en equilibrio.



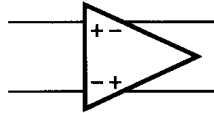
**Figura 1.25:** Respuesta característica del Amplificador Diferencial Salidas vs. Entradas [8]

El Amplificador Operacional de Transconductancia (OTA, por sus siglas en inglés), utiliza el par diferencial como base, y además de tener un mayor swing de salida, pueden aumentar aún más su ganancia por medio de más etapas.

Ya que la ganancia de este tipo de dispositivos es muy grande es importante emplear la *Retroalimentación en modo común (CMMFB)*<sup>4</sup>, para poder determinar

<sup>4</sup>El CMMFB es estudiado a fondo en [8].

de una manera más precisa el nivel de modo común, ya que es muy difícil definirlo para sistemas con altas ganancias debido a su alta sensibilidad a las propiedades y variaciones del sistema. El símbolo empleado para los OTAs se muestra en la Figura 1.26.



**Figura 1.26:** Símbolo de un OTA totalmente diferencial

### 1.4.3. Amplificadores con más de una etapa

Las topologías tratadas anteriormente, presentan una ganancia limitada al producto de la transconductancia y la impedancia de salida. Si se desea obtener una ganancia mayor se pueden emplear topologías de tipo cascode, pero el precio a pagar es limitar el swing de salida. Esto para muchas aplicaciones es inadecuado, por lo que se debe recurrir a topologías con más de una etapa, con las cuales se provee tanto una ganancia grande como un swing mayor a la salida.

El problema al aumentar las etapas de un amplificador es que estas introducen al menos un polo más en la función de transferencia (i.e. la respuesta del sistema a una señal de entrada, modelada matemáticamente), esto hace que sea más difícil garantizar la estabilidad del sistema, por lo cual es necesario la compensación en frecuencia. En el siguiente capítulo se muestra el estado del arte de las estrategias de compensación. La Tabla 1.1 muestra una comparación de topologías de sólo una etapa contra una de dos etapas, donde se ilustran las ventajas y desventajas de cada sistema [8].

	Ganancia	Swing de Salida	Velocidad	Consumo de Potencia	Ruido
Telescopica	Media	Medio	Muy Rápida	Bajo	Bajo
Folded-Cascode	Media	Medio	Rápida	Medio	Medio
Dos Etapas	Alta	Muy Alto	Lenta	Medio	Bajo

**Tabla 1.1:** Comparación de Desempeño de distintas topologías de amplificadores

---

# Capítulo 2

## Compensación en Frecuencia

### 2.1. Introducción

La mayoría de los amplificadores utilizan la retroalimentación negativa para poder generar ciertos efectos, como una mejoría en la reducción de ruido por nombrar uno. Idealmente la fase en la respuesta en frecuencia de un amplificador sería lineal, pero debido a los distintos efectos parásitos que presenta el dispositivo esto no es posible. En específico las capacitancias parásitas que existen en las múltiples etapas de un amplificador pueden causar un retraso de  $90^\circ$  en la señal de salida con respecto a la de entrada por cada polo que crean. Si la suma de los retrasos alcanza los  $360^\circ$  la señal de salida estará en fase con la señal de entrada y al retroalimentar esta señal a la señal de entrada ocasionará que el amplificador oscile. Esta es la razón principal por la que se debe implementar la compensación en frecuencia.

Los arreglos más empleados en la actualidad, para aplicaciones CMOS de bajo voltaje y que pueden ofrecer una ganancia alta así como un swing bastante amplio, son los de tres etapas con estructuras tipo Folded-Cascode<sup>1</sup>. La estabilidad en los OTAs de más de dos etapas es fundamental para un correcto funcionamiento, permitiendo también, ofrecer al usuario final mayor versatilidad. Para poder garantizar la estabilidad del sistema y más cuando se emplean en lazo cerrado, es necesario emplear topologías de compensación. Por lo general, no se emplean más de tres etapas,

---

<sup>1</sup>Más información acerca de estas estructuras en [8]

debido a que al introducir etapas adicionales, la respuesta en frecuencia del sistema se vuelve bastante complicada y resulta un proceso bastante tedioso el tratar de entender como responderá el sistema; lo cual también implica que su compensación en fase sea mucho más complicada. Es por esto que los diseñadores analógicos no emplean más de tres etapas.

La técnica más simple para compensación es la nested-Miller (NMC), la cuál consiste en emplear dos capacitores. Sin embargo esta sencilla solución no ofrece muchas ventajas. Para obtener un mejor desempeño del sistema se deben emplear topologías basadas en NMC [14] que suelen ser más complicadas, pero ofrecen diversas ventajas e.g. mejoras en ganancia y ancho de banda (BW, por sus siglas en inglés) al introducir resistencias en el sistema [20], [21], se pueden implementar etapas de transconductancia de tipo Feedforward<sup>2</sup>[17], [16], implementar etapas de control por medio del factor de amortiguamiento [23], utilizar etapas de retroalimentación activa, etc. [22]-[27].

También un aspecto importante que se debe tomar en cuenta es la velocidad de respuesta del sistema, porque esta es muy importante tanto en aplicaciones de señal mixta como en analógicas. Sin embargo, el alto orden del sistema por lo general no muestra la relación entre el tiempo de respuesta y los parámetros normales del OTA y en consecuencia el margen de fase que se necesita para asegurar la estabilidad del sistema, no puede ser deducido fácilmente.

Las topologías más empleadas actualmente, que se orientan principalmente a mejorar el tiempo de respuesta del sistema, se describen a continuación y en el caso de todas ellas se presenta una ganancia mínima de 100 dB. *Cabe mencionar que al llevar a cabo el estudio de estas se logró agrupar las diez topologías en sólo tres, debido a las similitudes que comparten entre ellas en su diagrama a bloques.* Por lo tanto para obtener cualquiera de estas diez a partir de los tres circuitos propuestos, basta con cambiar ciertos valores de los dispositivos o cambiar la retroalimentación en algunos casos, para obtener la topología deseada.

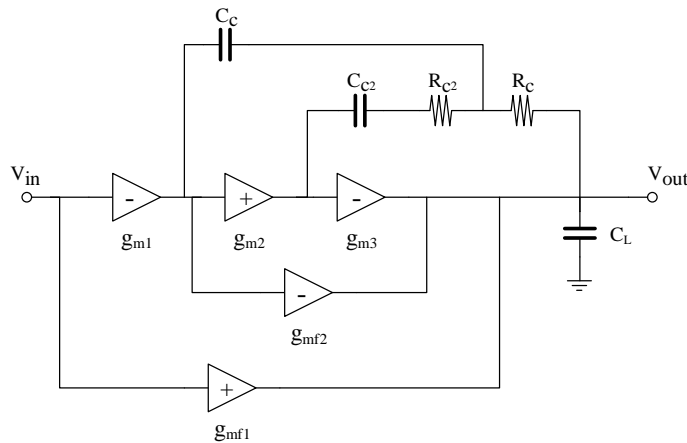
---

<sup>2</sup>Un sistema de este tipo responde a las alteraciones de una manera predefinida, en contraste con los sistemas retroalimentados.

Para la obtención de las funciones de transferencia que se trabajan *vid infra*, los autores de [17] tomaron ciertas consideraciones. La  $n$ -ésima etapa de ganancia está modelada como un OTA, cuya transconductancia, resistencia de salida y capacitancia de salida, están representadas como  $g_{mn}$ ,  $R_{on}$  y  $C_{on}$ , respectivamente; la carga lleva el símbolo  $C_L$  y las capacitancias de compensación son representadas como  $C_{c1,2}$ ; la resistencia tipo “nulling” se representa como  $R_{Cn}$  y la etapa de transconductancia Feedforward, se denota por  $g_{mf n}$ ; también se considera un factor genérico algebraico,  $f$ , para la etapa Feedforward;  $g_{on}$  es la conductancia de salida de los amplificadores  $g_{mn}$  y  $g_{mf n}$ . Otros criterios tomados en cuenta fueron: Las capacitancias parásitas no se toman en cuenta, considerando que sus valores no se comparan con los de las capacitancias de carga y compensación. La ganancia de cada etapa es mucho mayor que la anterior i.e.  $g_{mn}R_{on} \gg 1 (n = 1, 2, 3)$ .  $g_{m3}$  es mayor que la suma de  $g_{m1}$  y  $g_{m2}$  para preservar la retroalimentación negativa a través de las capacitancias de compensación. Por último, la ganancia en lazo cerrado,  $H_0$ , tiene una buena aproximación a partir de  $1/f$ .

### 2.1.1. Topologías NGCC, NMCF, NMC, MNMC, DPZC

En la Figura 2.1 se muestra el circuito que se ha propuesto para la obtención de cinco de las topologías antes mencionadas. Posteriormente se describen más a profundidad cada una de ellas y como se pueden obtener a través de este circuito.



**Figura 2.1:** Circuito propuesto para las topologías NGCC, NMCF, NMC, MNMC, DPZC.

### Topología Nested $g_m$ -C Compensation (NGCC)

Esta topología se obtiene cuando  $R_c = 0$  y  $R_{c2} = 0$ . La ventaja que ofrece es su simplicidad en el proceso de diseño, con el que se puede obtener amplificadores estables de múltiples etapas.

Varias topologías emplean la técnica de la retroalimentación Feedforward  $g_{mf}$ , utilizada principalmente para maximizar el BW del amplificador. Pero en el caso de esta topología, las etapas de Feedforward no se plantean como prioridad el aumento en el BW, en su lugar, en conjunto con la etapa  $g_{m3}$ , se controla la corriente de reposo, a la salida del amplificador. Además la retroalimentación es utilizada para cancelar un cero del lado derecho del plano complejo (RHP, por sus siglas en inglés), logrando así garantizar la estabilidad del sistema, evitando emplear la técnica del Zero-Nulling resistor (ZNR), de la que se hablará más adelante.

En cuanto a su respuesta en frecuencia<sup>3</sup>, la función de transferencia de un sistema de este tipo es:

$$H(s) = H_0 \frac{-s^2 \frac{C_{C1} C_{C2}}{g_{m2} g_{m3}} - s \frac{C_{C2}}{g_{m3}} + 1}{s^3 \frac{C_{C1} C_{C2} C_L}{g_{mf1} g_{mf2} g_{mf3}} + s^2 \frac{-g_{mf1} - g_{m2} + g_{m3}}{g_{mf1} g_{mf2} g_{mf3}} + s \left( \frac{C_{C1}}{g_{mf1}} - \frac{C_{C2}}{g_{m3}} \right) + 1} \quad (2.1)$$

Su polo dominante, el cual nos permite ajustar el ancho de banda (BW), se encuentra en:

$$p_1 = \frac{g_{mf1} g_{mf2}}{C_{C1} g_{m2} g_{m3}} \quad (2.2)$$

Esta topología es empleada en aplicaciones de bajo consumo de potencia, además de tener una ganancia y BW bastante buenos, esta topología es fácil de estabilizar, siendo sus criterios de estabilización los siguientes:

$$g_{mf1} = g_{m1} \quad g_{mf2} = g_{m2} \quad (2.3)$$

$$C_{C1} = 4 \left( \frac{g_{m1}}{g_{m3}} \right) C_L \quad (2.4)$$

<sup>3</sup>Un análisis extensivo de esta topología así como la obtención de su respuesta en frecuencia se puede encontrar en [15],[16].

$$C_{C2} = 2\left(\frac{g_{m2}}{g_{m3}}\right)C_L \quad (2.5)$$

### Topología Nested Miller Compensation with Feedforward $g_m$ -stage(NMCF)

Para trabajar con esta topología, se debe tener una ganancia nula en  $g_{mf1}$  y además  $R_{C2} = 0$ , en la Figura 2.1. Esta topología es muy parecida a la NGCC, pero existen dos diferencias muy importantes: 1) Sólo se emplea una etapa de retroalimentación Feedforward y 2)  $g_{mf2}$  debe ser más grande que  $g_{m2}$ . La respuesta en frecuencia<sup>4</sup> del sistema es:

$$H(s) = H_0 \frac{s^2 \frac{(C_{C1}C_{C2})}{g_{m2}g_{m3}} - s \frac{C_{C2}(g_{mf2}-g_{m2})}{g_{m2}g_{m3}} + 1}{s^3 \frac{(C_{C1}C_{C2}C_L)}{fg_{m1}g_{m2}g_{m3}} + s^2 \frac{(-fg_{m1}-g_{m2}+g_{m3}+g_{mf2})}{fg_{m1}g_{m2}g_{m3}} + s \left( \frac{C_{C1}}{fg_{m1}} + \frac{C_{C2}(g_{mf2}-g_{m2})}{g_{m2}g_{m3}} \right) + 1} \quad (2.6)$$

La retroalimentación  $g_{mf2}$  es empleada para mejorar el margen de fase. Cabe mencionar que en esta topología no se da la cancelación de ceros. Sin embargo, para mejorar la estabilidad y tener más control del cero ubicado del lado izquierdo del plano complejo (LHP, por sus siglas en inglés), es necesario cumplir con la siguiente condición:

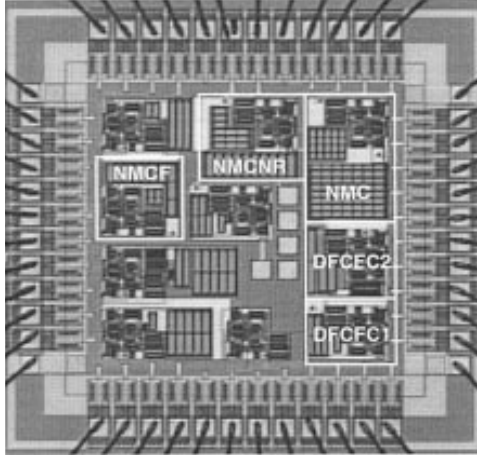
$$g_{m3} \geq 4g_{m1} + (\sqrt{2} - 1)(g_{mf2} - g_{m2}) \quad (2.7)$$

Las condiciones de compensación son:

$$C_{c1} = \frac{4}{\left(\frac{g_{m2}}{g_{m3}} \left(\frac{g_{mf2}}{g_{m2}} - 1\right) + 1\right)} \frac{g_{m1}}{g_{m3}} C_L \quad (2.8)$$

$$C_{c2} = \frac{2}{\left(\frac{g_{m2}}{g_{m3}} \left(\frac{g_{mf2}}{g_{m2}} - 1\right) + 1\right)^2} \frac{g_{m2}}{g_{m3}} C_L \quad (2.9)$$

<sup>4</sup>Para profundizar más acerca de esta topología ir a [15].



**Figura 2.2:** Micrografía de un Chip con amplificadores de tres etapas NMCF y distintas topologías para comparación del área utilizada [17].

### Topología Nested Miller Compensation (NMC)

Para obtener esta configuración se deben hacer nulas las dos ganancias de retroalimentación Feedforward i.e.  $g_{mf1} = 0$  y  $g_{mf2} = 0$ , también se debe tener  $R_{C2} = 0$ , en la Figura 2.1. Teóricamente esta topología se puede extender más allá de las tres etapas, sin embargo no han sido documentados amplificadores de cuatro o más etapas debido a que el BW se ve muy reducido, la ganancia en DC sería muy grande e impráctica y el sistema consumiría mucha potencia.

Se caracteriza por tres polos, como se puede observar dos de estos son “no dominantes” y uno es el dominante, este arreglo permite trabajar con dos técnicas para la estabilidad: 1) La técnica de polos separados y 2) La técnica de los polos complejos, de estas dos se puede obtener más información en los trabajos [18] y [17] respectivamente; a su vez esta configuración cuenta con un cero en RHP y otro en LHP, cuyos efectos en la respuesta en frecuencia pueden ser ignorados, cumpliendo la siguiente condición:

$$g_{m3} \gg g_{m1}, g_{m2} \quad (2.10)$$

Si esta condición no se cumple, el cero en RHP disminuye el margen de fase del amplificador, mientras que el otro cero tiende a mejorar la estabilidad del sistema.

La función de transferencia<sup>5</sup>, empleando la condición antes mencionada, para este sistema es:

$$H(s) = H_0 \frac{1}{s \frac{C_{C1}}{g_{m1}} \left( s^2 \frac{C_{C2} C_L}{g_{m2} g_{m3}} + s \frac{C_{C2}}{g_{m2}} + 1 \right)} \quad (2.11)$$

El polo dominante se encuentra ubicado en:

$$p_1 = \frac{1}{C_{C1} g_{m2} g_{m3} R_{o1} R_{o2} R_{o3}} \quad (2.12)$$

Las condiciones de compensación son:

$$C_{C1} = 4 \frac{g_{m1}}{g_{m3}} C_L \quad (2.13)$$

$$C_{C2} = 2 \frac{g_{m2}}{g_{m3}} C_L \quad (2.14)$$

También es importante mencionar que si la condición, para ignorar los efectos de los ceros, se cumple, esto permitiría emplear capacitores más pequeños.

### Topología Multipath Nested Miller Compensation (MNMC)

Esta topología se obtiene al tener una ganancia nula  $g_{mf2}$ ,  $R_c = 0$  y  $R_{c2} = 0$ , en la Figura 2.1, tiene un incremento en el consumo de potencia, con respecto a las topologías mencionadas *vid supra*, y se emplea a menudo para incrementar el BW en un amplificador.

En la MNMC se emplea sólo una etapa de retroalimentación Feedforward para crear un cero de baja frecuencia en LHP y recibe el nombre de cero multi-trayectoria; se emplea para cancelar el segundo polo no dominante y así incrementar el BW.

---

<sup>5</sup>El procedimiento para obtener esta respuesta puede ser encontrado en [19]

La función de transferencia<sup>6</sup> del sistema es:

$$H(s) = H_0 \frac{1}{s^2 \frac{2(C_{C1}C_L)}{(f_{g_{m1}}g_{m3})(1+\sqrt{1-4C_Lg_{m2}(C_{C2}/g_{m3})})} + s \left( \frac{C_{C1}}{f_{g_{m1}}} \right) + 1} \quad (2.15)$$

Los polos no dominantes vienen dados por:

$$p_1 = \frac{g_{m3}}{2C_L} - \frac{g_{m3}}{C_L} \sqrt{1 - \frac{C_{c2}(4g_{m2})}{g_{m3}/C_L}} \quad (2.16)$$

$$p_2 = \frac{g_{m3}}{2C_L} + \frac{g_{m3}}{C_L} \sqrt{1 - \frac{C_{c2}(4g_{m2})}{g_{m3}/C_L}} \quad (2.17)$$

Como ya se había mencionado, por medio de la etapa de retroalimentación  $g_{mf1}$  se controla la posición del cero multi-trayectoria,  $z_1$ , dando lugar a la cancelación polo-cero empleando la condición  $z_1 = p_1$ . Más importante aún, una vez que se da esta cancelación, la ganancia en BW estará controlada únicamente por la posición de  $p_2$ , siendo de suma importancia colocar este polo a una frecuencia bastante alta, para obtener el mejor BW posible.

Las condiciones de compensación son:

$$C_{C2} = 10 \left( \frac{g_{m2}}{g_{m3}} \right) C_L \quad (2.18)$$

$$C_{C1} = 2,25 \left( \frac{g_{m2}}{g_{m3}} \right) C_L \quad (2.19)$$

---

<sup>6</sup>Un análisis extensivo de esta topología así como la obtención de su respuesta en frecuencia se puede encontrar en [17].

### Topología Double Pole-Zero Cancellation (DPZC)

Es posible obtener esta estructura al no emplear las etapas de retroalimentación  $g_{mf1}$  y  $g_{mf2}$ , en la Figura 2.1. Este tipo de configuración se emplea en casos en los que la carga capacitiva es muy grande. En esta estructura, la resistencia  $R_{C2}$  en serie con la capacitancia  $C_{C2}$  permite la compensación polo-cero al mismo tiempo, empleando capacitores de compensación de valores pequeños, lo cual también da lugar a mejoras en el BW, la ganancia y el tiempo de respuesta.

En un análisis más extensivo se observa que los ceros pueden hacerse negativos y sus valores pueden ajustarse para cancelar los dos polos de alta frecuencia. Esto es posible por medio de la aplicación de las siguientes ecuaciones de diseño:

$$R_C = \frac{1}{g_{m3}} \quad (2.20)$$

$$R_{C2} = \frac{1}{g_{m3}} \frac{C_L}{C_{C2}} \quad (2.21)$$

$$C_{C1} = \frac{g_{m3} - g_{m2}}{g_{m2}} C_{C2} \quad (2.22)$$

$$C_{C2} = \frac{0,05}{0,1C_L} \quad (2.23)$$

Empleando estas ecuaciones, la función de transferencia<sup>7</sup> se reduce a:

$$H(s) = H_0 \frac{1}{s \frac{C_{C1}}{f g_{m1}} + 1} \quad (2.24)$$

Esta función de transferencia con un polo sencillo resulta de la cancelación de polos y ceros por medio de las compensaciones propuestas anteriormente. La función de transferencia sin compensación es muy extensa.

A continuación se muestra una tabla que resume algunas de las características típicas que presentan estas topologías [28].

<sup>7</sup>Más información acerca de la obtención de esta respuesta en [20] y [21]



Para simplicidad en el diseño se emplea la siguiente condición:

$$C_{C1} = C_{C2} \quad (2.25)$$

Por lo que su función de transferencia<sup>8</sup> es:

$$H(s) = H_0 \frac{1}{s^3 \frac{C_{C1} C_{o1} C_L g_{m4}}{f g_{m1} g_{m5} (g_{m2} g_{m3} + g_{mf2} g_{m4})} + s^2 \frac{C_{o1} C_L g_{m4}}{f g_{m1} (g_{m2} g_{m3} + g_{mf2} g_{m4})} + s \frac{C_{C1}}{f g_{m1}} + 1} \quad (2.26)$$

Para el ajuste del margen de fase, el polo dominante se encuentra en:

$$p_1 = \frac{1}{C_{C1} g_{m2} g_{m3} R_{o1} R_{o2} R_{o3}} \quad (2.27)$$

Las condiciones para las dimensiones son:

$$C_{C1} = C_{C2} = \sqrt{2 \left( \frac{g_{m1} g_{m4}}{g_{m2} g_{m3} + g_{m4} g_{mf2}} \right) C_L} \quad (2.28)$$

$$g_{m5} = 4g_{m1} \quad (2.29)$$

$$g_{mf2} = g_{m3} \quad (2.30)$$

### Topología Damping-Factor Control Frequency Compensation (DFCFC)

Es posible obtener esta configuración con  $g = +1$  y  $g_{m5} = 0$ , Figura 2.3. En esta topología se emplea una etapa para el control del factor de amortiguamiento, lo que evita la limitante en BW impuesta por la conexión de la capacitancia  $C_{C2}$ . Para garantizar la estabilidad se introduce un bloque DFC (control de factor de amortiguamiento), el cual es básicamente una etapa de ganancia mayor a 1 con un capacitor de retroalimentación  $C_{C2}$ . Esta topología se utiliza más en amplificadores

<sup>8</sup>Un estudio extensivo de esta topología se puede encontrar en [22]

de tres etapas con cargas capacitivas grandes.

Para simplificar la respuesta en frecuencia, se tienen en cuenta las siguientes condiciones:

$$g_{mf2} = g_{m3} \quad (2.31)$$

$$C_{C1} = C_{C2} \quad (2.32)$$

Es así como se obtiene la siguiente función de transferencia<sup>9</sup>:

$$H(s) = H_0 \frac{1}{s^3 \frac{C_{o2}}{g_{m2}+g_{m4}} \frac{C_L}{g_{mL}} \frac{C_{C1}}{fg_{m1}} + s^2 \frac{g_{m4}}{g_{m2}+g_{m4}} \frac{C_L}{g_{mL}} \frac{C_{C1}}{fg_{m1}} + s \frac{C_{C1}}{fg_{m1}} + 1} \quad (2.33)$$

Las ecuaciones para el diseño son:

$$C_{C1} = \frac{4}{\beta} \left( \frac{g_{m1}}{g_{m3}} \right) C_L \quad (2.34)$$

$$g_{m4} = \beta \left( \frac{C_{o2}}{C_L} \right) g_{m3} \quad (2.35)$$

Donde:

$$\beta = 1 + \sqrt{1 + 2 \left( \frac{C_L}{C_{p2}} \right) \left( \frac{g_{m2}}{g_{m3}} \right)} \quad (2.36)$$

La ubicación del polo complejo que presenta este sistema puede ser controlada de manera precisa por medio de  $g_{m4}$ , mientras que el producto ganancia-BW, se controla por medio de  $C - C1$ . Los polos “no dominantes” se localizan a altas frecuencias y son dependientes de la capacitancia parásita a la salida de la segunda etapa  $C_{o2}$ .

---

<sup>9</sup>El análisis extensivo de esta topología se encuentra en [23]

### Topología AC Boosting Compensation (ACBC)

Para trabajar con esta topología se deben realizar las siguientes modificaciones :  $g_{m5} = 0$ , la entrada de  $g_{m4}$  se posiciona ahora a la entrada de  $g_{m2}$  y el capacitor  $C_{C2}$  va de la salida de  $g_{m4}$  a la salida de  $g_{m2}$ , en la Figura 2.3.

En esta topología la transconductancia  $g_{m4}$  está conectada en paralelo con la resistencia de salida  $R_{o4}$ , para poder mejorar la ganancia en alta frecuencia. El inversor de esta topología es necesario para que el capacitor de compensación Miller  $C_{C1}$  pueda crear un lazo de retroalimentación negativa. Esto permite separar las partes de la segunda etapa en una de AC y otra de DC; con lo cual es posible que las etapas de  $g_{m2}$  y  $g_{m4}$  sean implementadas con transistores sencillos.

Otra ventaja que ofrece esta configuración, es que eleva la ganancia de alta frecuencia, lo que quiere decir que los polos no dominantes se posicionan a frecuencias más altas, por lo que el BW puede ser propuesto a frecuencias grandes.

Su respuesta en frecuencia<sup>10</sup> es similar a la de la topología MNMC, como se muestra a continuación:

$$H(s) = H_0 \frac{1}{s^2 \frac{C_L}{g_{m3}} \frac{C_{C1}}{f g_{m1}} \frac{g_{m3}}{g_{m3}(g_{m2}+g_{m4})+g_{mf2}} + s \left( \frac{C_{C1}}{f g_{m1}} \right) + 1} \quad (2.37)$$

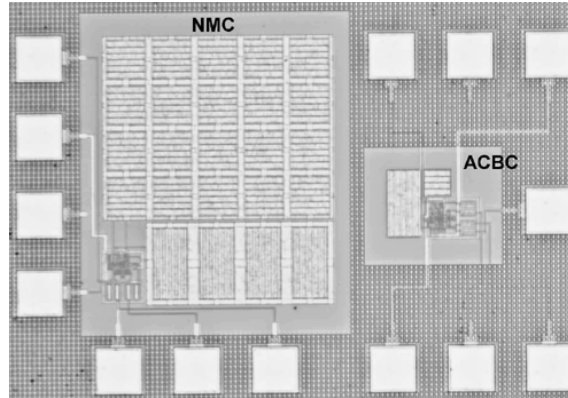
Su polo dominante se encuentra en:

$$p_1 = - \frac{1}{C_{C1} g_{m2} g_{m3} R_{o1} R_{o2} R_{o3}} \quad (2.38)$$

El valor para la capacitancia de compensación es:

$$C_{C1} = \frac{2g_{m1}}{(g_{m2} + g_{m4})g_{m3} + g_{mf2}} C_L \quad (2.39)$$

<sup>10</sup>El análisis completo de esta topología se encuentra en [24]



**Figura 2.4:** Micrografía de un Chip con amplificadores de tres etapas ACBC y NMC para comparación del área utilizada [25].

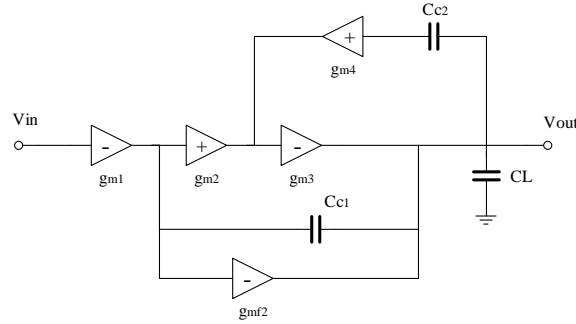
A continuación se muestra una tabla que resume algunas de las características típicas que presentan estas topologías [28].

	$C_L$ (pF)	$I_{TOT}$ (mA)	Consumo de Potencia (mW)	BW (MHz)	Capacitores de Comp. (pF)
DLPC	120	0.22	0.33	7	$C_{c1} = 4,8$ $C_{c2} = 2,5$
DFCFC	1000	0.21	0.42	2.6	$C_{c1} = 55$ $C_{c2} = 3$
ACBC	500	0.162	.324	1.9	$C_{c1} = 10$ $C_{c2} = 3$

**Tabla 2.2:** Comparación de Desempeño de distintas topologías de amplificadores

### 2.1.3. Topologías AFFC y TCFC

En la Figura 2.5 se muestra el circuito que se ha propuesto para la obtención de dos de las topologías antes mencionadas. A continuación se describen más a profundidad cada una de ellas y como se pueden obtener a través de este circuito.



**Figura 2.5:** Circuito propuesto para las topologías AFFC y TCFC.

### Topología Active-Feedback Frequency Compensation (AFFC)

Se puede obtener esta configuración colocando la etapa  $g_{m4}$  en serie con el capacitor  $C_{C1}$ , con la salida de  $g_{m4}$  conectada a la salida de  $g_{m1}$  y a la entrada de  $g_{mf2}$ , y su entrada al capacitor  $C_{C1}$ , en la Figura 2.5.

Ésta es una de la topologías más empleadas actualmente, ya que emplea el uso de una red de retroalimentación activa capacitiva, lo que permite que el capacitor de compensación sea pequeño. Todo esto conlleva a dimensiones físicas del amplificador bastante reducidas, al mismo tiempo que mejora el BW y su respuesta en frecuencia. Genera un cero en LHP para mejorar el margen de fase y así garantiza la estabilidad del sistema.

Para simplificar el análisis de la respuesta en frecuencia<sup>11</sup> se tiene la siguiente consideración:

$$C_{C1} = C_{C2} \quad (2.40)$$

De esta manera se obtiene la función de transferencia como:

$$H(s) = H_0 \frac{s \frac{C_{C1}}{g_{m4}} + 1}{s^3 \frac{C_{C1}}{f g_{m1}} \frac{C_{o1} C_L}{g_{mf2} - g_{m2}} \frac{1}{g_{m4}} + s^2 \frac{C_{o1} C_L}{g_{mf2} - g_{m2}} \frac{1}{f g_{m1}} + s C_{C1} \left( \frac{1}{f g_{m1}} + \frac{1}{g_{m4}} \right) + 1} \quad (2.41)$$

<sup>11</sup>El análisis completo se encuentra en [26]

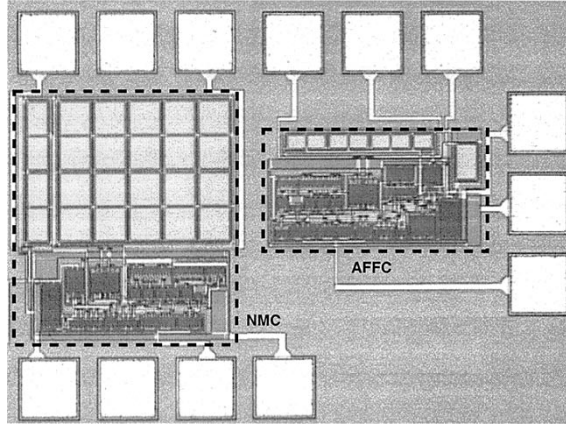
Su polo dominante se encuentra en:

$$p_1 = \frac{1}{C_{C1}g_{m2}g_{m3}R_{o1}R_{o2}R_{o3}} \quad (2.42)$$

Por último, las condiciones para las dimensiones para la estabilidad son:

$$g_{m4} = 4g_{m1} \quad (2.43)$$

$$C_{C1} = C_{C2} = \sqrt{\frac{2g_{m1}C_L}{g_{m1}(g_{mf2} - g_{m2})}} \quad (2.44)$$



**Figura 2.6:** Micrografía de un Chip con amplificadores de tres etapas AFFC y NMC para comparación del área utilizada [26].

### Topología Transconductance with Capacitance Feedback Compensation (TCFC)

Para trabajar con esta topología no hace falta realizar ningún cambio al circuito propuesto de la Figura 2.5. Esta configuración también es una de las más empleadas durante los últimos cinco años, ya que permite estabilizar el sistema con un consumo de potencia bastante reducido y no sólo eso, sino que también mejora la respuesta en frecuencia así como otras características. Ya que  $C_{C2}$  está separado de las etapas internas, esto evita un efecto de acortamiento de BW en la última etapa, con lo cual no se presenta una retroalimentación positiva y la estabilidad del sistema se puede

garantizar con valor pequeño de transconductancia en la última etapa. Los efectos parásitos del sistema son eliminados debido a la retroalimentación negativa, que minimiza la sensibilidad y dependencia de los parámetros del dispositivo, lo que conlleva a una mayor versatilidad en el layout.

La respuesta de este sistema<sup>12</sup> es:

$$H(s) = H_0 \frac{s \frac{C_{C2}}{g_{m4}} + 1}{s^2 \left( \frac{1}{g_{m2}} + \frac{1}{g_{m4}} \right) \frac{C_{C1} C_{C2}}{f g_{m1}} + s \left( \frac{C_{C2}}{g_{m4}} + \frac{C_{C1}}{f g_{m1}} \right) + 1} \quad (2.45)$$

Su polo dominante se encuentra en:

$$p_1 = - \frac{1}{C_{C1} g_{m2} g_{m3} R_{o1} R_{o2} R_{o3}} \quad (2.46)$$

La condición de estabilidad para este sistema es:

$$\omega_0 < \frac{C_{C2} g_{m3}}{C_{o2} C_L} \quad (2.47)$$

Donde  $\omega_0$  representa el producto ganancia-ancho de banda,  $GBW$ . La condición anterior siempre se cumple cuando:

$$\frac{g_{m2}}{g_{m4}} > 0 \quad (2.48)$$

La tabla 2.3 resume algunas de las características típicas que presentan estas topologías [28].

	$C_L$ (pF)	$I_{TOT}$ (mA)	Consumo de Potencia (mW)	BW (MHz)	Capacitores de Comp. (pF)
AFFC	100	0.17	0.25	5.5	$C_{c1} = 5,4$ $C_{c2} = 4$
TCFC	150	0.03	0.045	2.85	$C_{c1} = 1,1$ $C_{c2} = 0,92$

**Tabla 2.3:** Comparación de Desempeño de distintas topologías de amplificadores

<sup>12</sup>Un análisis más afondo de esta topología se puede leer en [27]

El diseño de OTAs presenta muchos retos y restricciones, siempre se debe encontrar un balance entre: ganancia de DC, BW, slew-rate y el consumo de potencia, debido a la relación intrínseca de estos parámetros. Cada una de las topologías mencionadas no sólo propone una solución a la problemática antes mencionada, sino que también busca garantizar la estabilidad del sistema. Estos retos no sólo requieren de ingenio, también requieren de una buena capacidad de análisis de circuitos.

En la siguiente tabla se resumen las características de todas las topologías investigadas en este capítulo.

	$C_L$ (pF)	$I_{TOT}$ (mA)	Consumo de Potencia (mW)	BW (MHz)	Capacitores de Comp. (pF)
NGCC	20	0.34	0.68	0.61	$C_{c1} = -$ $C_{c2} = -$
NMCF	100	0.2	0.406	1.8	$C_{c1} = 30$ $C_{c2} = 5,3$
NMC	100	61	305	.374	$C_{c1} = 34$ $C_{c2} = 11$
MNMC	100	9.5	76	100	$C_{c1} = -$ $C_{c2} = -$
DPZC	500	0.15	0.225	1.4	$C_{c1} = 30$ $C_{c2} = 20$
DLPC	120	0.22	0.33	7	$C_{c1} = 4,8$ $C_{c2} = 2,5$
DFCFC	1000	0.21	0.42	2.6	$C_{c1} = 55$ $C_{c2} = 3$
ACBC	500	0.162	.324	1.9	$C_{c1} = 10$ $C_{c2} = 3$
AFFC	100	0.17	0.25	5.5	$C_{c1} = 5,4$ $C_{c2} = 4$
TCFC	150	0.03	0.045	2.85	$C_{c1} = 1,1$ $C_{c2} = 0,92$

**Tabla 2.4:** Desempeño de las topologías investigadas en este capítulo

---

## Capítulo 3

# Compensación propuesta basada en múltiples trayectorias

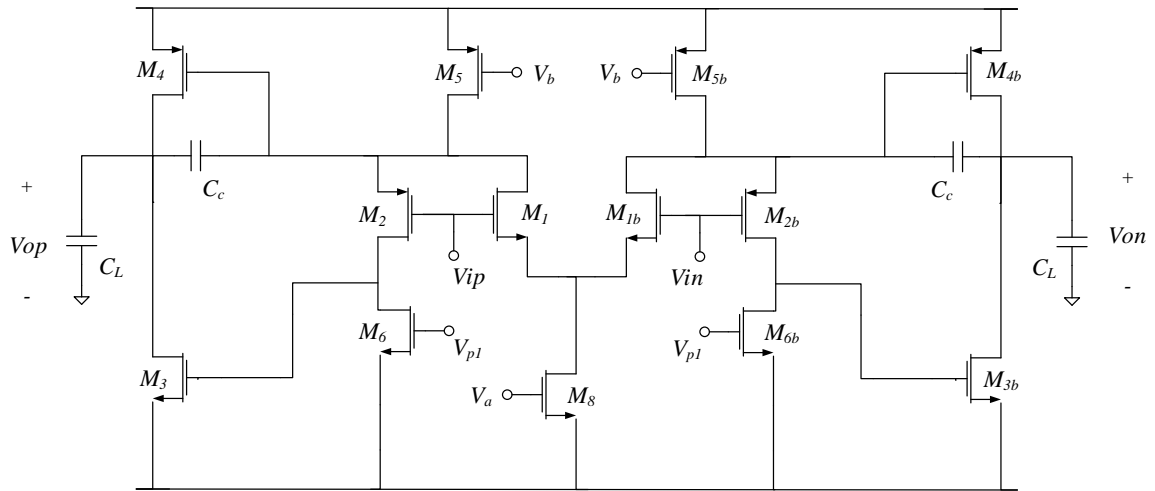
### 3.1. Introducción

Para poder realizar una comparación correcta con las otras topologías, antes descritas, se debe realizar el análisis de la topología propuesta en este tema de Tesis. Aunque es posible partir del análisis completo de la configuración, se decidió para esta investigación, analizar la estructura etapa por etapa, para analizar el funcionamiento al ir añadiendo cada una de las etapas y de esta manera comprender que es lo que aportan al sistema. De esta manera se ofrece un análisis muy completo del sistema.

Los análisis fueron realizados en pequeña señal, i.e. empleando sus modelos antes mencionados para este tipo de análisis, ya que éste permite encontrar la función de transferencia característica del sistema, de la cuál posteriormente es posible obtener información acerca de los polos y ceros que intervienen en la respuesta del sistema. Para facilitar la obtención de la respuesta del sistema se emplea el método del Tableau [13], con el cuál a partir de un grafo permite obtener las ecuaciones características del circuito a analizar, facilitando el análisis en general, para finalmente poder resolver los sistemas de ecuaciones con ayuda de algún método de solución de ecuaciones

linealmente independientes<sup>1</sup>. El circuito de la topología propuesta en [9], se muestra en la Figura 3.1, es con este circuito con el que se trabajará a lo largo de este capítulo.

El diseño a nivel transistor fue realizado en su mayor parte empleando los resultados de los análisis teóricos realizados con MATLAB y a su vez utilizando las simulaciones a nivel esquemático por medio del software Pyxis de Mentor Graphics con un proceso de 350 nm.

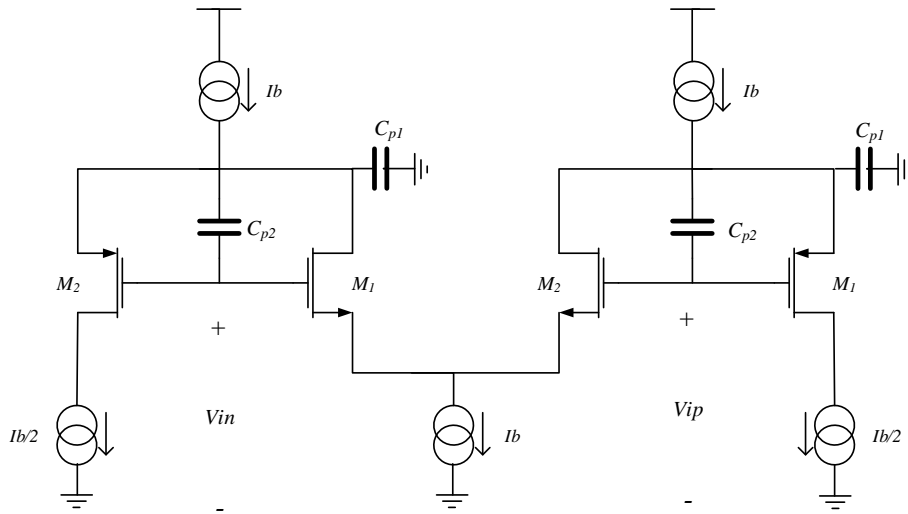


**Figura 3.1:** Circuito final, se basa en un OTA clase AB de tres etapas

## 3.2. Etapa Folded Cascode con dos trayectorias

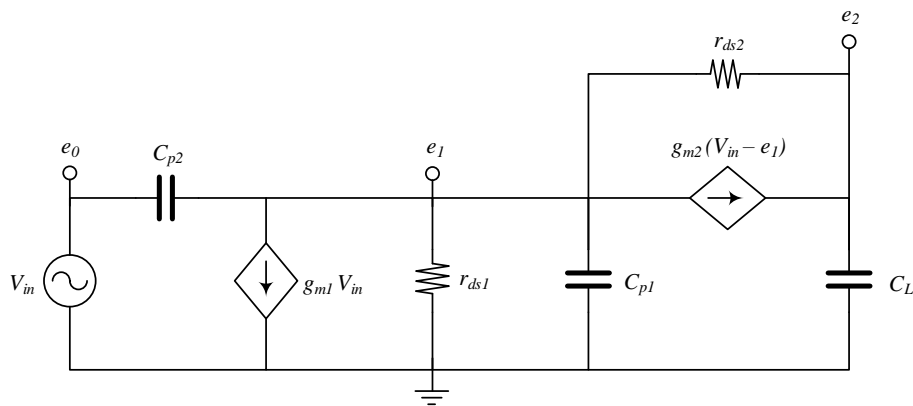
La primera etapa con la que se debe trabajar es la de la que maneja la entrada diferencial, la etapa folded cascode con dos trayectorias. Esta etapa se muestra en la Figura 3.2. Dónde  $C_{p1}$  y  $C_{p2}$  representan capacitancias parásitas que toman su valor principalmente de la capacitancias de source/drain a bulk y de gate a source/drain respectivamente.

<sup>1</sup>Para esta investigación se empleo MATLAB



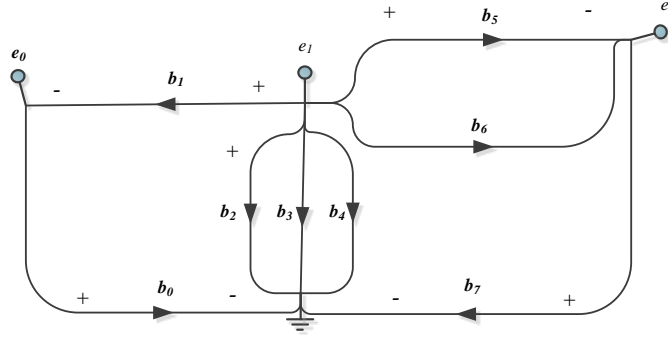
**Figura 3.2:** Etapa Folded Cascode

Ya que es un amplificador diferencial, el circuito es simétrico, por lo que es factible emplear el método del medio circuito [8], analizando así sólo una mitad del circuito antes mostrado. Por lo tanto, el modelo en pequeña señal de la mitad del circuito es el que se muestra en la Figura 3.3.



**Figura 3.3:** Modelo en pequeña señal de la etapa Folded Cascode

A partir de este modelo se obtiene el grafo mostrado a continuación en la Figura 3.4.



**Figura 3.4:** Grafo para la etapa Folded Cascode

Del grafo se obtiene la siguiente matriz de ecuaciones:

$$\begin{bmatrix} -(s(C_{p1} + C_{p2}) + g_{m2} + \frac{1}{r_{ds1}} + \frac{1}{r_{ds2}}) & \frac{1}{r_{ds2}} \\ g_{m2} + \frac{1}{r_{ds2}} & -(\frac{1}{r_{ds2}} + sC_L) \end{bmatrix} \begin{bmatrix} e1 \\ e2 \end{bmatrix} = \begin{bmatrix} g_{m1} - g_{m2} - sC_{p2} \\ g_{m2} \end{bmatrix}$$

A partir de la matriz de ecuaciones es posible obtener la respuesta en frecuencia. Ya que la respuesta de este tipo de sistemas suele ser muy grande y complicada, es conveniente hacer algunas aproximaciones teniendo en cuenta que  $g_{m1} = g_{m2} = g_m$ . De esta manera la función de transferencia es:

$$\frac{e_2(s)}{e_0(s)} = -\frac{(C_{p1}g_m r_{ds1} r_{ds2})s + g_m^2 r_{ds1} r_{ds2}}{(C_L C_{p1} r_{ds1} r_{ds2} + C_L C_{p2} r_{ds1} r_{ds2})s^2 + (C_L g_m r_{ds1} r_{ds2})s + 1} \quad (3.1)$$

El cero y los polos del sistema se encuentran ubicados en:

$$z = -\frac{g_m}{C_{p1}} \quad (3.2)$$

$$p_2 = -\frac{g_m}{C_{p1} + C_{p2}} \quad (3.3)$$

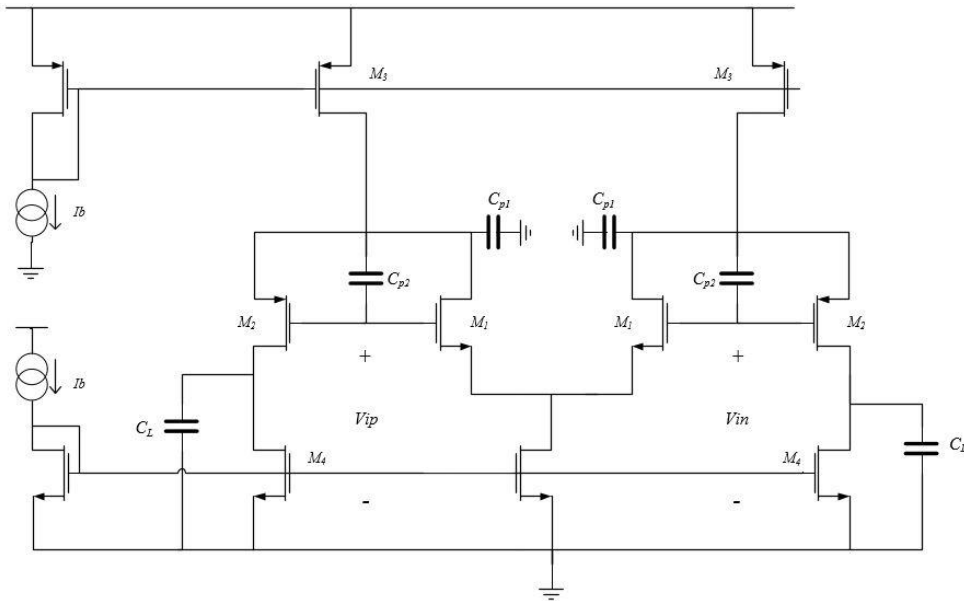
En este caso ya que  $C_{p2}$  es mucho menor que  $C_{p1}$  se considera que el  $p_2$  tiene la misma ubicación que  $z$ . Así mismo el polo dominante se encuentra en:

$$p_1 = -\frac{\sqrt{C_L r_{ds}^2 (-8C_{p1} + C_L g_{m2}^2 r_{ds1}^2)}}{2C_L C_{p1} r_{ds}^2 + 2C_L C_{p2} r_{ds}^2} - \frac{1}{2(C_{p1} + C_{p2})} \quad (3.4)$$

En este caso por efectos de síntesis, los resultados obtenidos de las simulaciones de esta etapa no son mostrados debido a su alta congruencia.

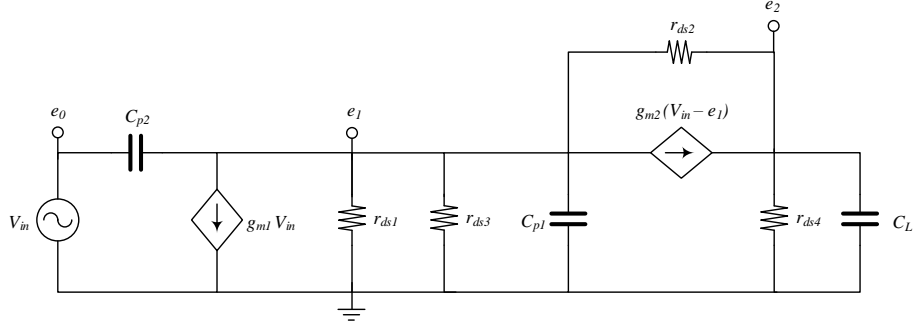
### 3.3. Etapa Folded Cascode con Espejos de Corriente

La siguiente etapa a analizar es aquella en la que las fuentes de corriente ideales son sustituidas por espejos de corriente creados con transistores MOS, representa un caso más real. Esta etapa se muestra en la Figura 3.5. Dónde  $C_{p1}$  y  $C_{p2}$  representan capacitancias parásitas.



**Figura 3.5:** Etapa Folded Cascode con Espejos de Corriente

Como se empleo anteriormente, para este caso también se utiliza el método del medio circuito, por lo que su modelo en pequeña señal se ve representado en la siguiente figura:



**Figura 3.6:** Modelo en pequeña señal de la etapa Folded Cascode con el efecto de la resistencia finita en los Espejos de Corriente

Ya que el análisis para esta configuración es más complicado, es conveniente emplear ciertas consideraciones para obtener una función de transferencia que sólo involucre a los factores determinantes en la respuesta del sistema. Estas consideraciones son:  $g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$  y  $r_{ds1} = r_{ds2} = r_{ds3} = r_{ds4} = r_{ds}$ . Empleando los argumentos anteriores es posible analizar de manera más sencilla la respuesta del sistema, debido a esto la tarea de localizar los polos y ceros se vuelve más simple. La función de transferencia obtenida es:

$$\frac{e_2(s)}{e_0(s)} = -\frac{(C_{p1}g_m)s + g_m^2 r_{ds}^2}{(2C_L C_{p1} r_{ds}^2)s^2 + (C_L g_m r_{ds}^2)s + g_m r_{ds}} \quad (3.5)$$

Donde el cero y los polos se encuentran en:

$$z = -\frac{g_m}{C_{p1}} \quad (3.6)$$

$$p_2 = -\frac{g_m}{2C_{p1}} \quad (3.7)$$

$$p_1 = \frac{-C_L g_m r_{ds} + \sqrt{C_L g_m r_{ds}(-8C_{p1} + C_L g_m r_{ds})}}{4C_L C_{p1} r_{ds}} \quad (3.8)$$

Aquí se observa que el BW se puede controlar a través de la transconductancia  $g_m$ , la carga  $C_L$  y de  $r_{ds}$ . Sin embargo no es posible cancelar directamente alguno de los polos con el cero obtenido, debido a que los parámetros  $g_m$  y  $r_{ds}$ , tendrían que ser muy pequeño y muy grande respectivamente, lo cual no se encuentra en las

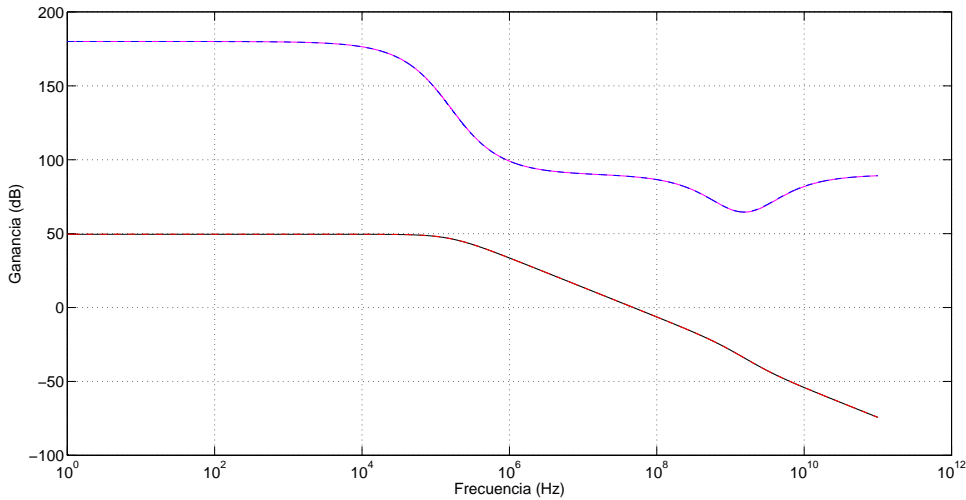
posibilidades del dispositivo. Sin embargo, como se puede apreciar en los resultados que se muestran en la siguiente sección, esta etapa del amplificador no necesita de un método de compensación ya que su margen de fase es bastante aceptable.

### 3.3.1. Simulación a nivel transistor

Debido a que este esquema ya es más del 50 % del final, se consideró realizar las simulaciones correspondientes a este sistema, para verificar el análisis teórico con los resultados brindados por la herramienta de diseño. Los tamaños de los transistores empleados para estas simulaciones fueron<sup>2</sup>

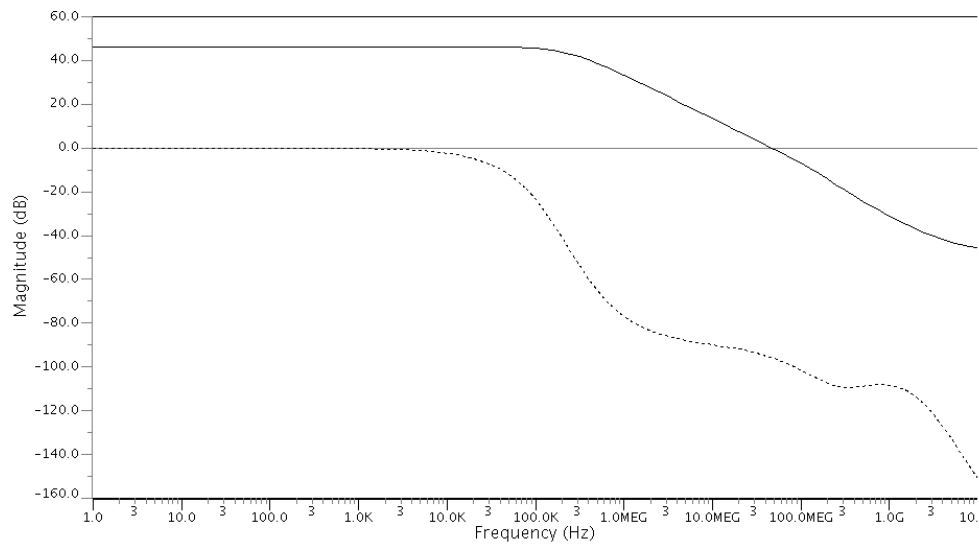
$$M_1 = \frac{10\mu m}{0,7\mu m}, M_2 = \frac{20\mu m}{0,7\mu m}, M_3 = \frac{20\mu m}{0,7\mu m}, M_4 = \frac{10\mu m}{0,7\mu m},$$

La simulación en MATLAB de la función de transferencia sin aproximación, empleando los valores transconductancias, resistencias y capacitancias obtenidos de la herramienta Pyxis, muestra el siguiente resultado:



**Figura 3.7:** Gráficas de Bode de la función de transferencia original (Línea Negra = Magnitud y Magenta = Fase) y aproximación (Línea Roja = Magnitud y Azul = Fase)

<sup>2</sup>Los transistores de polarización que se encuentran en la Figura 3.5 se simularon como fuentes de corriente ideales



**Figura 3.8:** Respuesta del sistema en la simulación (Línea Negra = Magnitud y Punteada = Fase)

Observando los resultados obtenidos en la tabla 3.1, se puede asegurar que las aproximaciones propuestas son correctas y comparando estos resultados con los obtenidos en la simulación con Pyxis (Figura 3.8), son bastante cercanos en cuanto a magnitud, cruce por cero y BW; con esto se verifica el correcto funcionamiento del sistema y de las aproximaciones por medio de las ecuaciones (3.5-3.8).

	<i>Ganancia (dB)</i>	<i>BW (MHz)</i>	<i>PM (°)</i>
MATLAB (Aproximación)	50	67.13 MHz	92
Pyxis	47.71	60.22 MHz	87.3

**Tabla 3.1:** Resultados de la aproximación y la simulación en la herramienta

Para estudiar este sistema en la herramienta Pyxis se emplean 3 tipos de análisis como se muestra en el setup de la Figura 3.9. El primero es el análisis en DC que consiste en hacer el barrido de un valor mínimo a uno máximo, de la fuente de entrada, para localizar el nivel de modo común. El siguiente es el análisis de punto de operación (OP), que nos permite ver en que condiciones se encuentran los transistores, así como sus distintas corrientes, voltajes, impedancias y más. Por último se realiza un análisis de tipo AC, que nos permite obtener las gráficas de Bode.

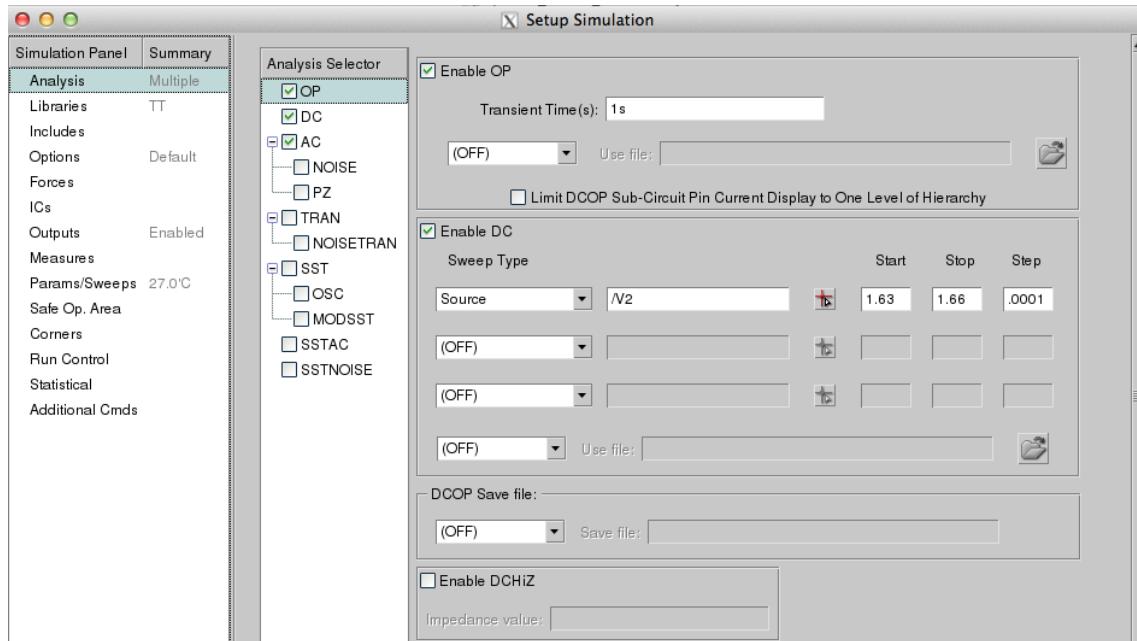
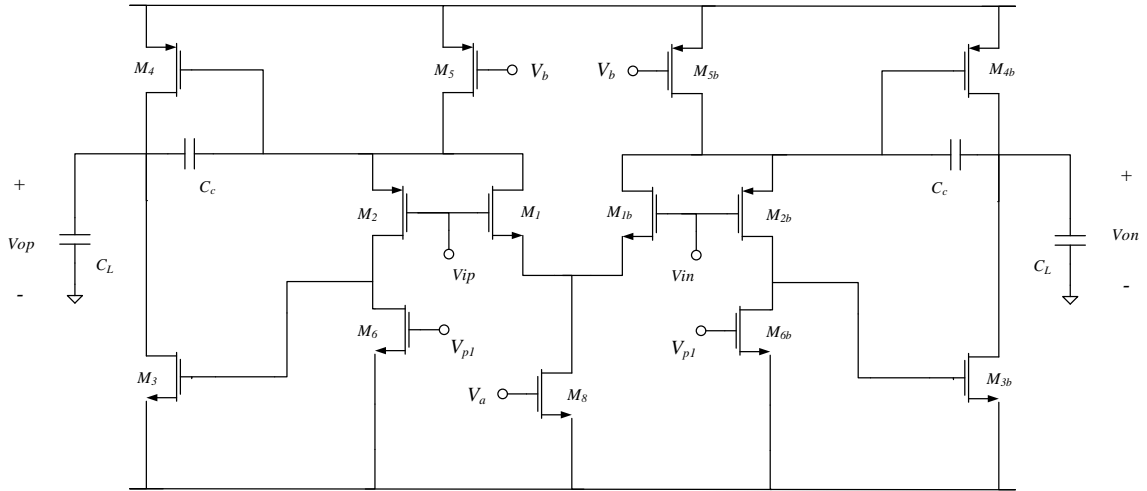


Figura 3.9: Setup para los análisis en la herramienta Pyxis

### 3.4. OTA con múltiples trayectorias

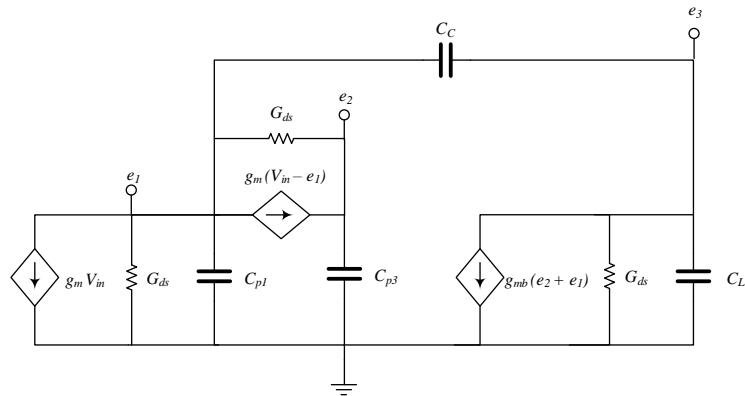
Ahora se llevará a cabo el análisis de la etapa final aquella en la que las fuentes de corriente ideales son sustituidas por espejos de corriente creados con transistores MOS, representa un caso más práctico. Además se añade una tercera etapa de amplificación, con la cuál es posible obtener una mayor ganancia, pero al mismo tiempo vuelve más complejo el sistema y se vuelve necesario emplear una estrategia de compensación, por lo cual se emplea de manera sencilla un capacitor de compensación. La salida de clase AB y su compensación sencilla, convierte a esta configuración en una nueva topología.

Esta etapa se muestra en la Figura 3.10. Dónde  $C_{p1}$ ,  $C_{p2}$  y  $C_{p3}$  representan capacitancias parásitas que toman su valor principalmente de la capacitancias de source/drain a bulk, de gate a source/drain y de gate a source respectivamente. Además  $C_C$  simboliza la capacitancia de compensación.



**Figura 3.10:** OTA clase AB con múltiples trayectorias para la compensación de fase

El análisis, al igual que los previos, fue realizado por medio del método del Tableau. Este análisis se vuelve muy complejo y extenso debido a la cantidad de elementos que se deben considerar ahora. Para tener idea de esto, se puede observar el modelo en pequeña señal de este sistema, mostrado en la Figura 3.11.



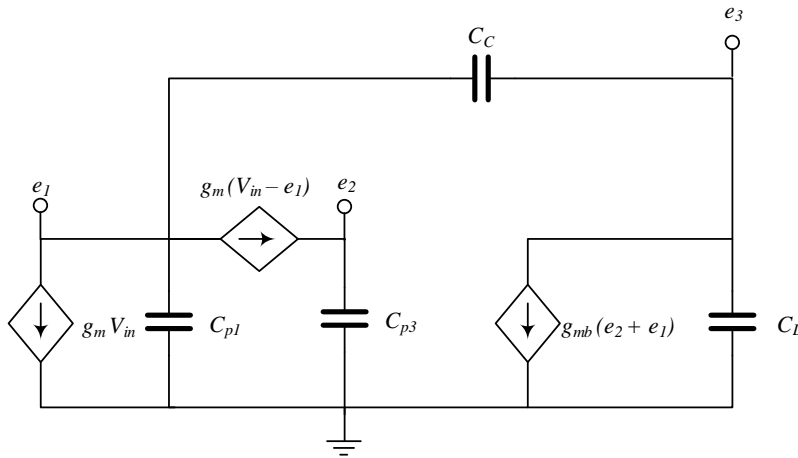
**Figura 3.11:** Modelo en pequeña señal del sistema final

Como se puede observar en el modelo en pequeña señal, la capacitancia  $C_{p2}$  no es tomada en cuenta, principalmente por los resultados observados en las simulaciones previas, esta capacitancia no influye mucho en la respuesta final, debido a su tamaño con respecto a las otras capacitancias parásitas.

Ya que la respuesta en frecuencia del sistema es bastante extensa, no es conveniente estudiarla de esta manera. Este análisis es empleado para comparar los resultados finales de la simulación con los obtenidos de manera teórica. Para obtener la ubicación de los polos y cero del sistema, se emplea una estrategia diferente, la de *superposición*[13]. Utilizando este método fue necesario realizar dos análisis:

1. Análisis considerando sólo las capacitancias e ignorando las resistencias del sistema.
2. Análisis considerando sólo las resistencias y capacitancias de compensación y carga del sistema.

El modelo en pequeña señal del primer análisis se muestra en la Figura 3.12. Empleando el método del Tableau el sistema es resuelto y como resultados se obtienen el cero y los polos no dominantes del sistema. A continuación se muestran las aproximaciones realizadas, debido a que aun simplificando el sistema la respuesta es extensa. También se considera que  $g_{m1} = g_{m2} = g_m$ ,  $G_{ds} = 1/r_{ds}$  y  $g_{m3} = g_{m4} = g_{mb} = \beta g_m$ , donde  $\beta$  es un factor de proporción con respecto a las transconductancias de la primera etapa. Por último  $C_{p1} = C_{p2} = C_p = \frac{C_C}{\alpha}$ .



**Figura 3.12:** Modelo en pequeña señal del sistema final sólo con capacitancias parásitas

$$z = -\frac{g_m}{\alpha C_p} \quad (3.9)$$

$$p_2 = -\frac{g_m (C_L \pm \sqrt{-4\alpha^2\beta C_L C_p + \alpha\beta C_p})}{2\alpha C_L C_p} \quad (3.10)$$

Como se puede observar el cero es muy similar al obtenido en las etapas previas, mientras que los polos no dominantes ahora son polos complejos localizados a altas frecuencias. A pesar de ello, aún se tiene cierto control para posicionar estos elementos, como será mostrado.

El segundo análisis hace posible hallar la ubicación del polo dominante, el modelo en pequeña señal para este se encuentra en la Figura 3.13.



**Figura 3.13:** Modelo en pequeña señal del sistema final sin capacitancias parásitas

De acuerdo al resultado del análisis y realizando algunas aproximaciones el polo dominante se encuentra en:

$$p_1 = \frac{-\alpha C_p (2\beta G_{ds} g_m + 2G_{ds}^2 + \beta g_m^2) - C_L G_{ds}^2}{2\alpha C_L C_p G_{ds}} + \frac{\sqrt{\alpha\beta C_p g_m (2G_{ds} + g_m) (2C_L G_{ds}^2 + \alpha C_p (2\beta G_{ds} g_m + 4G_{ds}^2 + \beta g_m^2))}}{2\alpha C_L C_p G_{ds}} \quad (3.11)$$

Igualando las magnitudes de las ecuaciones (3.9) y (3.10), i.e.  $|z| = |p_2|$ , es posible localizar el cero cerca del polo no dominante, por lo que la compensación polo-cero se da a través de la siguiente ecuación.

$$C_C = \frac{C_L}{\beta} \quad (3.12)$$

### 3.4.1. Diseño y resultados a nivel transistor

Teniendo una idea del comportamiento del sistema de manera teórica, el siguiente paso es comprobar que los datos teóricos corresponden a los obtenidos en la simulación. Para realizar una comparación correcta, es necesario diseñar el amplificador en la herramienta Pyxis, con el objetivo de obtener, por medio de la simulación del sistema, los valores de las diferentes variables que están involucradas en la respuesta de la estructura.

Para el diseño del amplificador se tomaron ciertas consideraciones iniciales como:

1. Transistores con la misma longitud, en este caso siendo el doble de la longitud mínima permitida por la tecnología empleada ( $0,7\mu m$ ). En el caso del diseño analógico esta es una regla de diseño siempre a considerar, por que se desea tener una resistencia de salida lo más grande posible, así como reducir los efectos de modulación de canal.
2. Pensando en el diseño del layout se desea que el ancho de los transistores sea muy similar entre ellos o al menos del mismo orden de magnitud, para que el diseño sea compacto y el ruteo pueda ser sencillo.
3. Sean transconductancias  $g_{m1}$  y  $g_{m2}$  iguales, el transistor  $M_2$ , debe ser aproximadamente el doble del tamaño de  $M_1$ , ya que la movilidad  $\mu_n \approx 2\mu_p$ . Además esto facilita la polarización de la tercera etapa por medio del aumento en  $V_{gs4}$ .
4. Se tomaron en consideración los tamaños empleados en la etapa anterior, para el diseño del sistema final, debido a que con éstos la etapa se polariza de manera correcta.

5. El diseño de los espejos de corriente fue a partir de proponer un  $V_{gs}$ , como lo sugiere una regla de diseño, y también se tomaron en cuenta los tamaños de la etapa anterior, para poder tener un layout más compacto.
6. Para la tercera etapa, se espera que  $g_{m3}$  y  $g_{m4}$  se han al menos el doble de  $g_{m1}$  y  $g_{m2}$ , para poder obtener una mayor ganancia a la salida, debido a su relación con el factor  $\beta$ . Teniendo en cuenta que en esta última etapa la corriente será mayor que en las etapas previas, el tamaño de los transistores no variará tanto con respecto a los de la etapa anterior.
7. Por último, se considero una corriente de polarización  $I_{ref} = 5mA$ , para favorecer a la polarización de la última etapa. Logrando también un menor consumo de potencia. Y siendo  $3,3V$  el voltaje de polarización que emplean los transistores de esta tecnología.

Con estas consideraciones se seleccionaron los tamaños adecuados para los que el sistema funciona de manera correcta, y estos son:

$$M_1 = \frac{20\mu m}{0,7\mu m}, M_2 = \frac{40\mu m}{0,7\mu m}$$

$$M_3 = \frac{40\mu m}{0,7\mu m}, M_4 = \frac{80\mu m}{0,7\mu m}$$

$$M_5 = \frac{40\mu m}{0,7\mu m}, M_6 = \frac{20\mu m}{0,7\mu m}$$

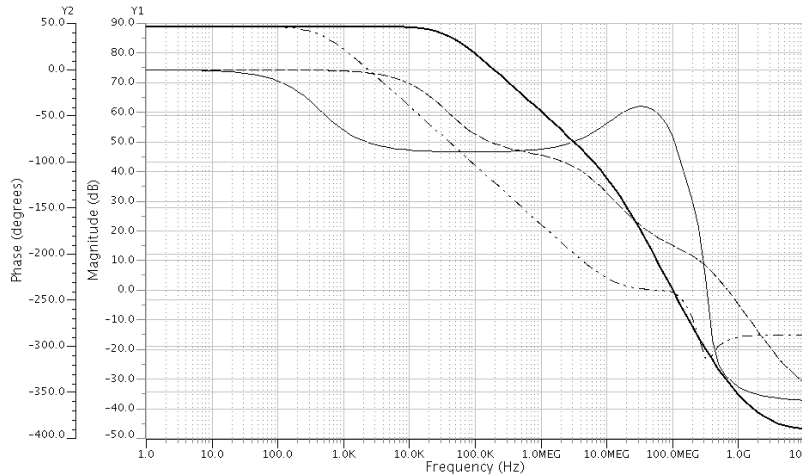
$$M_7 = \frac{40\mu m}{0,7\mu m}$$

Para poder crear un layout más compacto y además reducir las capacitancias parásitas, los transistores se dividieron en varios dispositivos midiendo un cuarto de su ancho original, se dice que se emplean transistores interdigitados.

Para la primera simulación se tomó  $C_C = 0$  para percibir el sistema cuando no tiene una estrategia de compensación. Como se observa en la Figura 3.13, la respuesta en fase del sistema tiene un cambio de  $180^\circ$ , esto indica que el sistema se vuelve

inestable en el punto en que se da ese cambio. Esto demuestra que es necesario tener una forma de compensar el sistema, ya que además no sólo se vuelve inestable, sino que lo hace de manera muy rápida, teniendo un ancho de banda muy limitado.

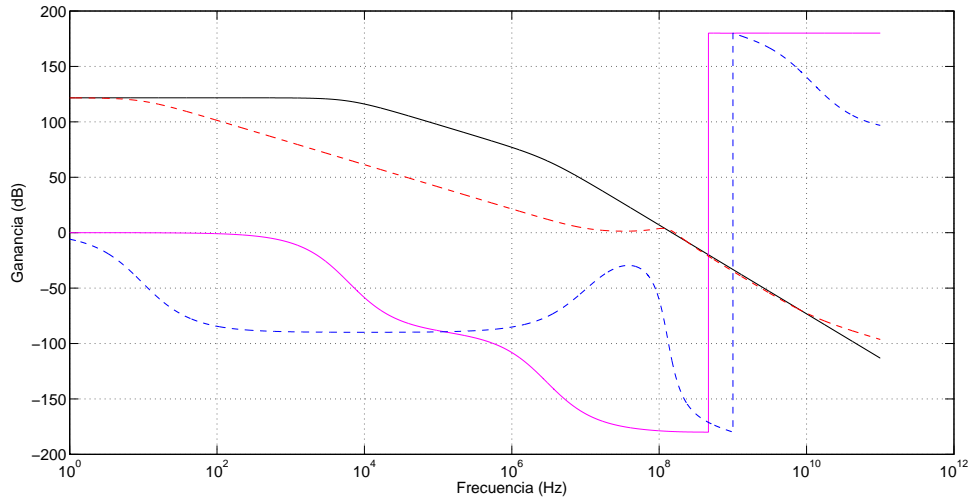
En la segunda simulación se propone  $C_C = 1,5pF$ . El resultado de la simulación se muestra en la Figura 3.14, como se puede ver el capacitor de compensación ofrece un cambio drástico en la respuesta final del sistema, eliminando la inestabilidad del sistema y aumentando el ancho de banda. Como es de esperarse la ganancia del sistema es bastante grande debido a las tres etapas involucradas.



**Figura 3.14:** Respuesta del sistema con compensación (Líneas sólidas para magnitud y fase) y sin compensación (Líneas punteadas para magnitud y fase)

Las simulaciones hechas proporcionan los valores de las distintas variables involucradas en la respuesta, haciendo posible la comparación de la respuesta teórica con la simulada.

Empleando los valores obtenidos a partir del punto de operación con EdoSpice sobre la plataforma Pyxis, se consigue la respuesta del sistema de manera teórica. Para el caso de  $C_C = 0$  (i.e. sin compensación) y para el caso  $C_C = 1,5pF$  (con compensación) los resultados obtenidos se muestran en la Figura 3.15.



**Figura 3.15:** Respuesta teórica del sistema con compensación (Línea Roja = Magnitud y Azul = Fase) y sin compensación (Línea Negra = Magnitud y Magenta = Fase)

Estos resultados, así como los obtenidos teóricamente se muestran en la Tabla 3.1, para comparar sus diferencias.

	<i>Ganancia (dB)</i>	<i>BW (MHz)</i>	<i>PM( °)</i>
<i>Sistema sin compensación</i>			
MATLAB	121.7	148	-
Pyxis	88.82	94.78	-
<i>Sistema compensado</i>			
MATLAB	121.6	116	100.8
Pyxis	88.82	87.47	67.17

**Tabla 3.2:** Resultados obtenidos por medio de la teoría (MATLAB) y de la simulación a nivel transistor (Pyxis)

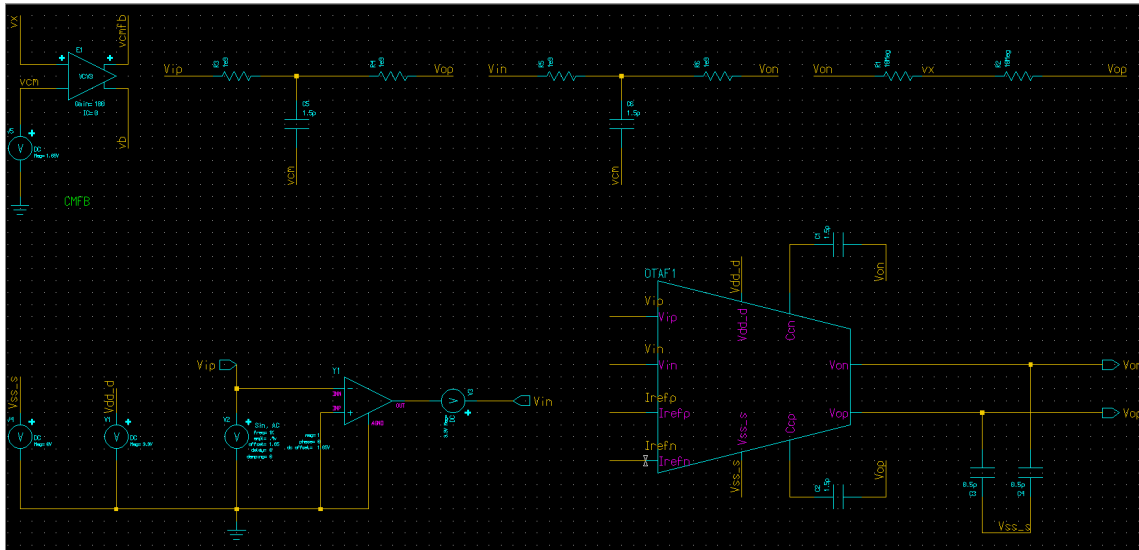
Aquí se puede observar que los resultados teóricos presentan variaciones significativas a los de la simulación. Estas variaciones que existen se deben principalmente a que en el análisis no se toman en cuenta todos los elementos involucrados en el sistema, a diferencia de la simulación.

Por medio de las ecuaciones (3.9),(3.10),(3.11) y de los valores de transconductancia y conductancia obtenidos de la simulación a nivel transistor, es posible encontrar las posiciones de los polos y cero en el plano complejo, las cuales se mencionan en la tabla (3.2). Cabe mencionar que las capacitancias parásitas tomadas en consideración de la simulación en Pyxis fueron:  $C_{p1} = 100fF$ ,  $C_{p3} = 50fF$ .

	M1	M2	M3	M4
Transconductancia( $g_m$ )	$110\mu A/V$	$104\mu A/V$	$201\mu A/V$	$220\mu A/V$
Conductancia( $G_{ds}$ )	$357nS$	$575nS$	$1,4\mu S$	$800nS$
Ubicación Cero	$73,333MS$			
Ubicación Polo Dominante	$-1060,8MS$			
Ubicación Polos No Dominantes	$(-6,2667e^6 \pm 2,4826e^{-7}i)S$			

**Tabla 3.3:** Transconductancias y Conductancias obtenidas con la simulación a nivel transistor para la obtención de la ubicación de polos y cero.

Para probar el OTA se utilizó una entrada diferencial para el sistema, así como un circuito de Common-Mode Feedback[8] (CMFB por sus siglas en inglés) ideal, para garantizar que el amplificador trabajara en su punto de operación. El test bench empleado para simular el OTA se muestra en la siguiente figura:



**Figura 3.16:** Test bench empleado para la simulación

Como recomendación se debe tratar que las transconductancias de la última etapa sean al menos el doble de la etapa anterior, para así garantizar un buen ancho de banda. También el circuito no requiere de una gran corriente para su polarización, por lo que es recomendable trabajar con corrientes pequeñas, ya que no sólo ayuda al consumo de potencia, sino también a una mayor facilidad en la polarización de la última etapa. Se emplearon transistores interdigitalizados para facilitar el diseño del layout. Por último una vez teniendo el diseño del layout se realiza la extracción de parásitas (PEX, por sus siglas en inglés), con la cual se obtiene la información de las resistencias y capacitancias parásitas a partir del layout; obteniendo finalmente un archivo de tipo Eldo spice, para realizar la simulación pos-layout. El layout final se muestra en la Figura 3.17. En el Apéndice A se encuentra información acerca del proceso de diseño.

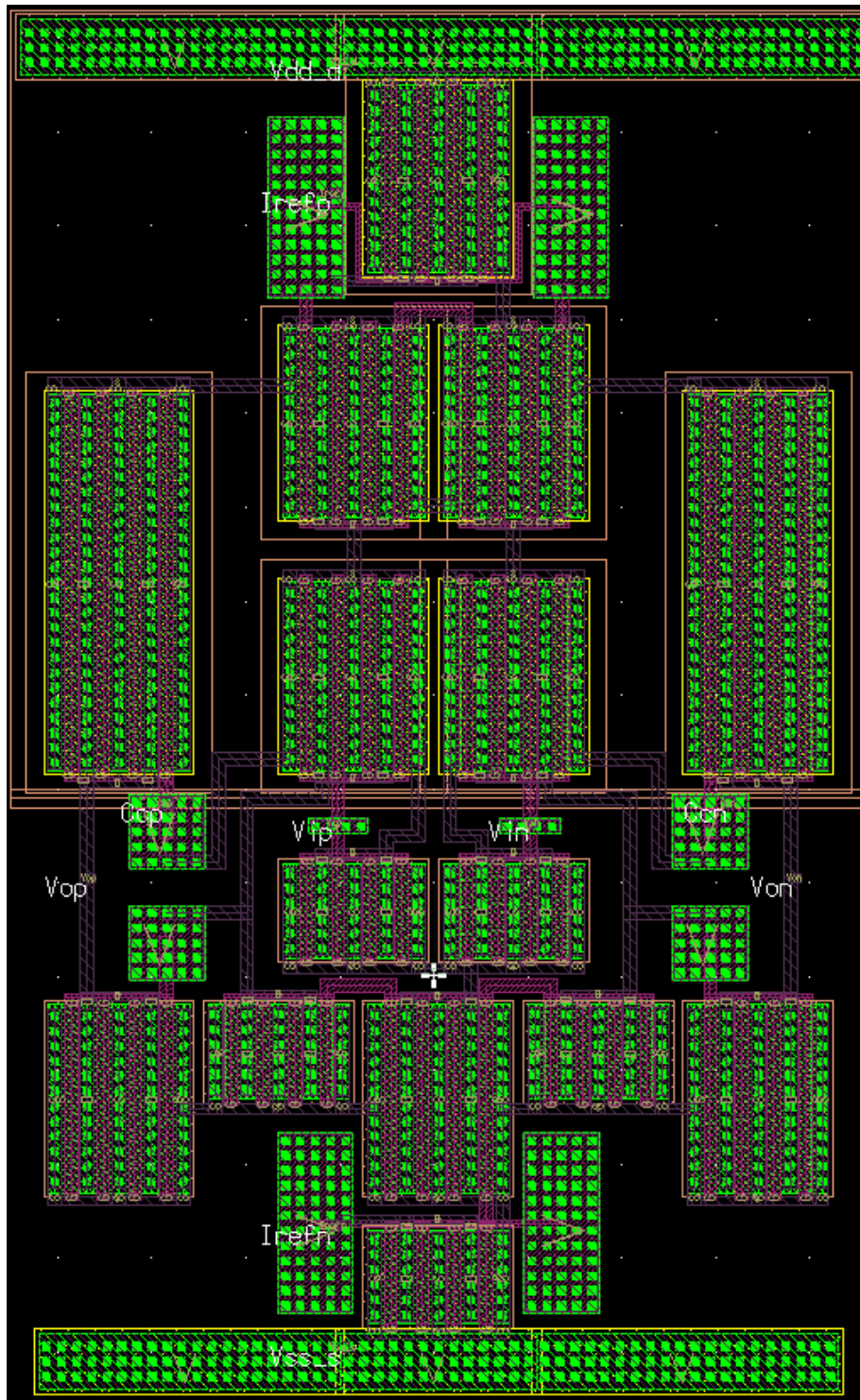
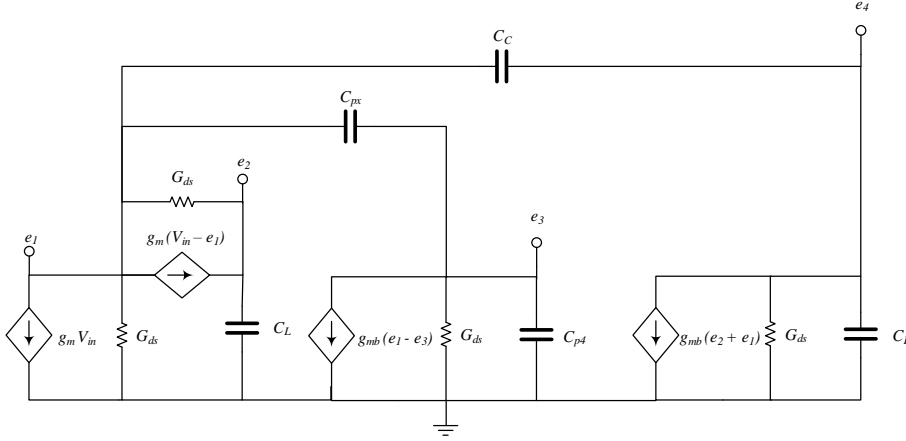


Figura 3.17: Layout Final



## 4.2. Análisis

Al igual que en el capítulo anterior el análisis fue llevado a cabo por medio del método de tableau, siendo su esquema en pequeña señal el mostrado en la Figura 4.2.



**Figura 4.2:** Modelo en pequeña señal de la topología mejorada

Empleando las mismas consideraciones mencionadas en el apartado anterior, se localizaron el cero, así como los polos dominante y no dominante, los cuales se muestran a continuación:

$$z = -\frac{g_m}{C_p(3 + \alpha)} \quad (4.1)$$

$$p_1 = -\frac{2G_{ds}^3}{\alpha\beta C_p g_m^2} \quad (4.2)$$

$$p_2 = -\frac{(C_L g_m + C_L \alpha G_{ds} + 3C_p \alpha \beta g_m) \pm \sqrt{-4\alpha^2 \beta C_L C_p g_m^2}}{6C_L C_p + 2\alpha C_L C_p} \quad (4.3)$$

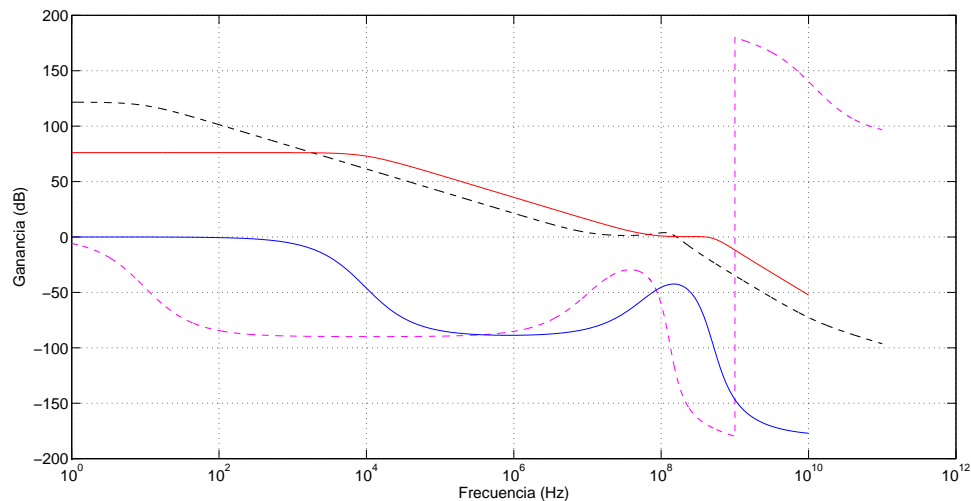
Igualando las magnitudes de las ecuaciones (4.1) y (4.2) se observa que la cancelación polo-cero se da mediante la siguiente condición:

$$C_C = \frac{C_L(\alpha + 6)}{3(\alpha + 3)} \quad (4.4)$$

Observando la ecuación anterior, se puede ver que el capacitor de compensación en esta topología no depende de las transconductancias del sistema, lo que posibilita que ésta capacitancia se de un más bajo a diferencia de la topología sin esta mejora.

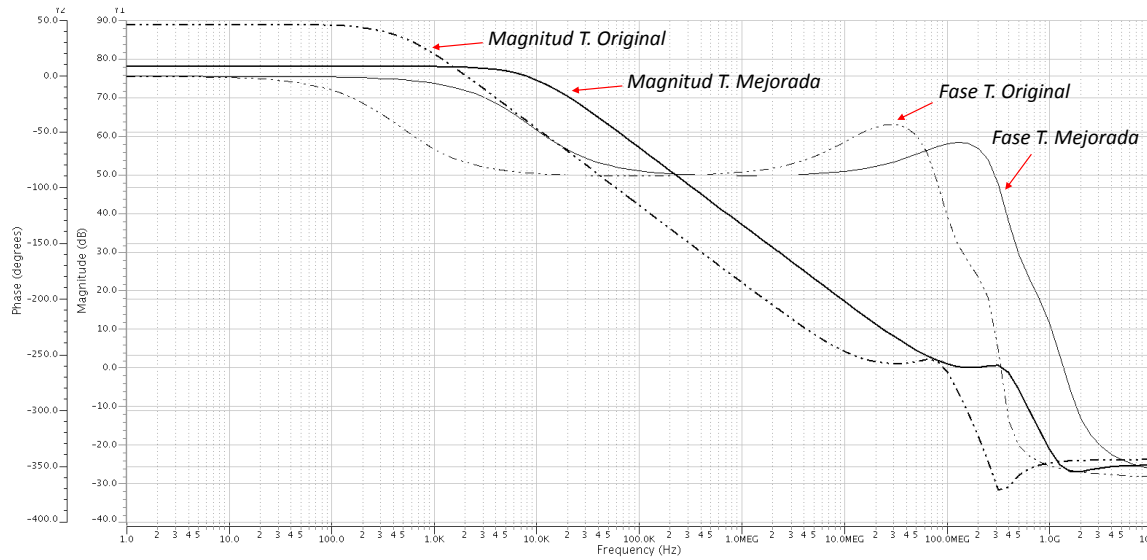
### 4.3. Simulación a nivel transistor

Al igual que en capítulo anterior se llevó acabo tanto la simulación en la herramienta Pyxis, a nivel transistor, así como la simulación en MATLAB, a nivel teórico, de la función de transferencia sin aproximaciones, empleando los valores transconductancias, resistencias y capacitancias obtenidos de la herramienta Pyxis. Los resultados obtenidos en MATLAB se muestran a continuación:



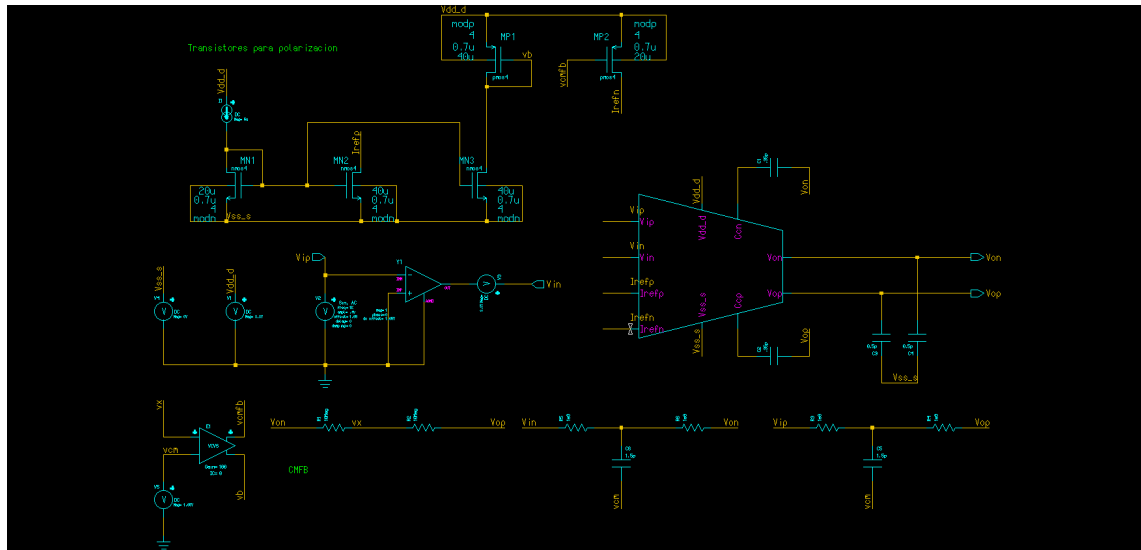
**Figura 4.3:** Gráficas de Bode de la función de la topología anterior (Línea Negra = Magnitud y Magenta = Fase) y topología mejorada (Línea Roja = Magnitud y Azul = Fase)

Para la implementación en Pyxis de esta etapa se emplearon los mismos tamaños que en el capítulo anterior, así mismo para el Buffer se utilizaron los tamaños de los transistores N de la primera etapa, garantizando así que las transconductancias sean muy similares entre esta etapa y el Buffer. Además para esta simulación se empleó un capacitor de compensación  $C_C = 0,30pF$ . Los resultados de la simulación, sin tener en cuenta las capacitancias parásitas, en Pyxis fueron los siguientes:



**Figura 4.4:** Respuesta del sistema de la topología mejorada (Líneas sólidas para magnitud y fase) y de la topología original (Líneas punteadas para magnitud y fase)

El test-bench utilizado para esta topología se muestra en la figura siguiente. En este caso como se simuló el cuerpo principal del amplificador, se emplearon transistores de polarización externos así como un circuito CMFB ideal para garantizar el correcto funcionamiento del sistema.



**Figura 4.5:** Test bench empleado para la simulación

Como se puede observar hay un incremento en el ancho de banda de aproximadamente 320 MHz, mientras que la compensación se mantiene y puede ser llevada a cabo ahora por medio de un capacitor de compensación mucho más pequeño que el empleado en la topología anterior. Además de que los valores de transconductancia obtenidos en la última etapa aumentan en un factor  $\beta \approx 40$ , por lo que esta etapa genera un aumento en la potencia que debe ser considerado. Por último el patrón geométrico realizado para esta topología se muestra a continuación, cabe mencionar que este patrón geométrico sólo muestra el cuerpo principal del OTA, i.e. no incluye los transistores para la polarización, los cuales se implementan de manera externa. La razón para esta decisión fue que la adición del buffer complica el diseño del layout ya que en algunas ocasiones se deben realizar puentes con poly-silicio para poder conectar los transistores que son difíciles de alcanzar debido a que las pistas llegan a interponerse y teniendo en cuenta que al emplear mucho poly-silicio se pueden aumentar las cargas parásitas, esto puede generar problemas en el funcionamiento del circuito, tales como desfases en el nivel de modo común, por mencionar alguno. Al igual que en el capítulo anterior el proceso de diseño finalizó con la obtención del archivo Eldo spice, para poder realizar la simulación teniendo en cuenta las parásitas.

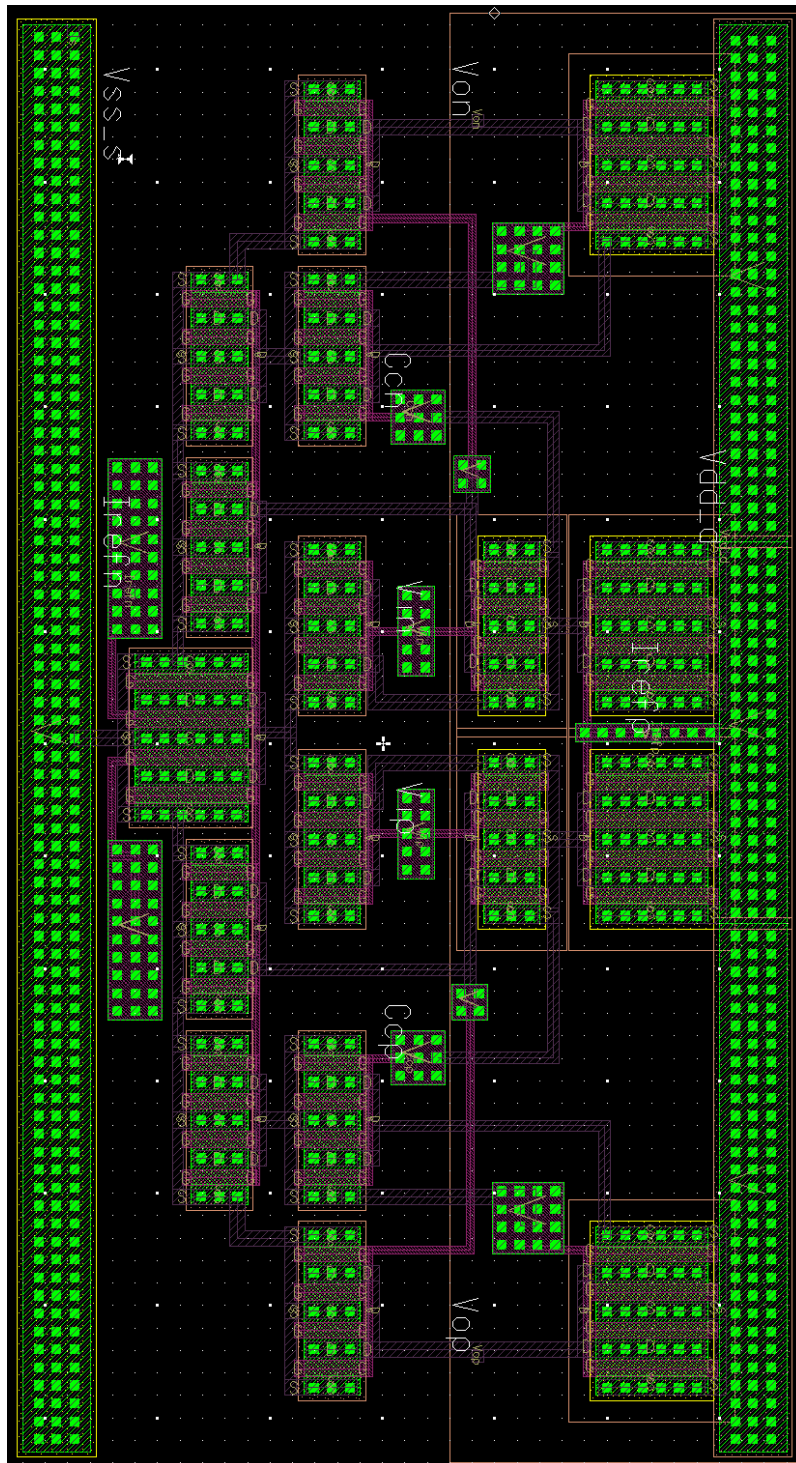


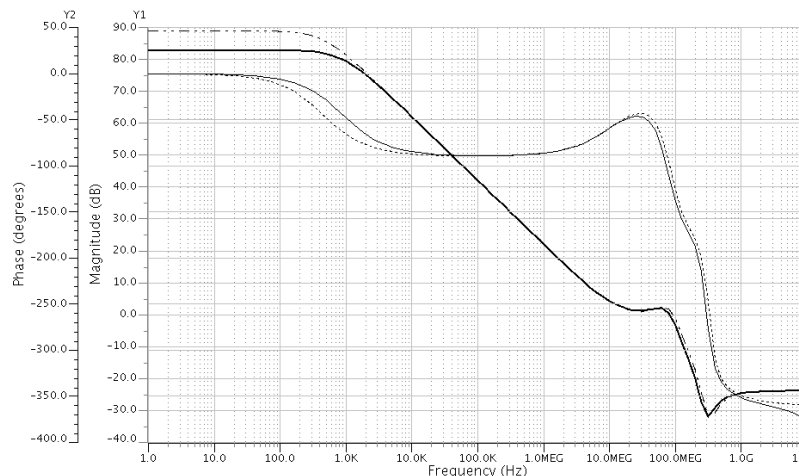
Figura 4.6: Layout de la Topología Mejorada

## 4.4. Analisis de resultados (Pos y Pre-layout)

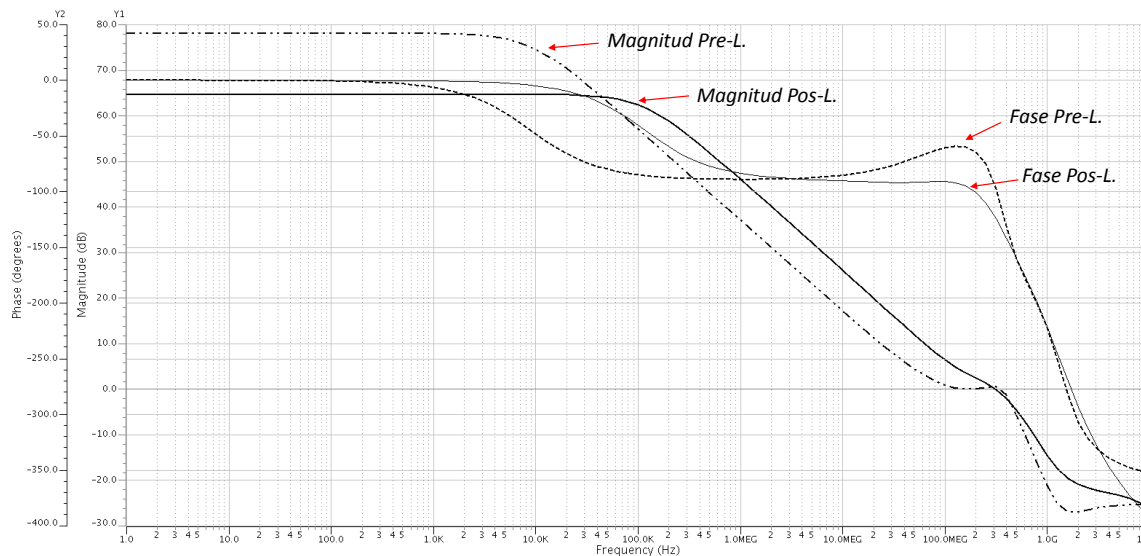
El propósito de esta sección es mostrar los resultados obtenidos una vez acabado todo el proceso de diseño, i.e. la simulación pos-layout, la cual es una aproximación más real del sistema si se llegara a producir. Además se mostrarán las diferencias de este sistema más real, con el ideal y el teórico, para demostrar como se encuentra relacionado todo el proceso de diseño.

## 4.5. Simulación pos-layout

Los capítulos anteriores concluyen con la obtención del archivo Eldo spice para la realización de estas últimas simulaciones. La herramienta permite al usuario escoger el modelo que se quiere utilizar en la simulación, para esta ocasión se utiliza el modelo pos-layout obtenido previamente. En las siguiente figuras se muestran los resultados de estas dos simulaciones (Topología propuesta inicialmente en el capítulo 3 y con la mejora del Buffer).



**Figura 4.7:** Resultados de la simulación pos-layout de la topología original (Líneas sólidas para el pos-layout y punteadas para el esquemático)



**Figura 4.8:** Resultados de la simulación pos-layout de la topología mejorada (Líneas sólidas para el pos-layout y punteadas para el esquemático)

## 4.6. Resultados Finales (Ambas topologías)

En las tablas 4.1 y 4.2 se muestran los diferentes valores correspondientes a la respuesta en frecuencia, obtenidos a lo largo de todas las simulaciones realizadas con respecto a las dos topologías mencionadas anteriormente. Cabe mencionar que el consumo de potencia en el caso de las dos topologías, siendo de aproximadamente 10 mW y 16 mw para la configuración original y la mejorada respectivamente.

Los resultados obtenidos de la simulación pos-layout, son muy próximos a los de la simulación pre-layout. Sin embargo, existen variaciones muy drásticas en ciertos parámetros a pesar de que se tomaron en consideración diversas estrategias para el diseño del layout. En cuanto a la parte teórica, como ya se había mencionado, a pesar de que el análisis se realiza de la manera más completa posible, algunos parámetros que intervienen no son tomados en cuenta y esta es la razón de la diferencia mayor que existe entre la respuesta obtenida por medio de la teoría y las de la simulación.

	<i>Ganancia (dB)</i>	<i>BW (MHz)</i>	<i>PM (°)</i>
MATLAB	121.6	116	100.8
Pre-layout(Pyxis)	88.82	87.47	67.17
Pos-layout(Pyxis)	84.82	80.12	69.7

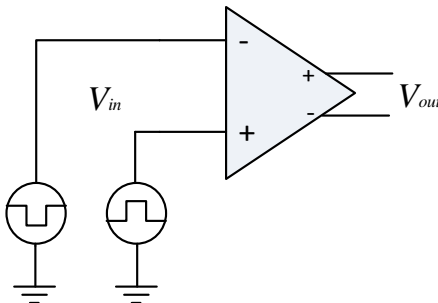
**Tabla 4.1:** Resultados de la topología propuesta originalmente

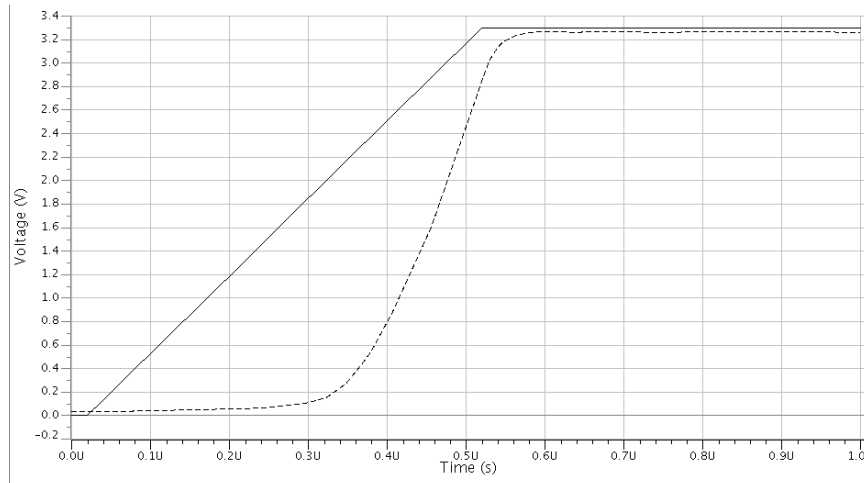
	<i>Ganancia (dB)</i>	<i>BW (MHz)</i>	<i>PM (°)</i>
MATLAB	75.12	400.24 MHz	74.89
Pre-layout(Pyxis)	78.07	422.55 MHz	62.07
Pos-layout(Pyxis)	65.33	377.85 MHz	61.11

**Tabla 4.2:** Resultados de la topología mejorada

Por último para obtener el slew-rate y el settling time del OTA propuesto inicialmente y el mejorado, se empleó un pulso diferencial en las entradas del amplificador (En configuración de lazo abierto como se puede observar en la Figura 4.9) para obtener información acerca de estas dos características en la respuesta del sistema (Figura 4.10). Las especificaciones generales de los dos OTA se muestran en la Tabla 4.3.

Para finalizar se muestra una tabla comparativa (Tabla 4.4) de las topologías mencionadas previamente en el capítulo 2 y las configuraciones utilizadas en este trabajo. En esta tabla es posible observar las ventajas de la topología investigada.

**Figura 4.9:** Configuración de lazo abierto para la obtención de la respuesta del sistema debida a un pulso cuadrado



**Figura 4.10:** Respuesta del sistema final al pulso diferencial (Línea punteada)

	Topología Mejorada	Topología Inicial
<b>Ganancia (dB)</b>	77.15	84.82
<b>Wo (KHz)</b>	2.24	.45
<b>GBW(MHz)</b>	377.85	80.12
<b>Potencia (uW)</b>	10.5	35.7
<b>Swing de Entrada y Salida (V)</b>	0-3.3	0-3.3
<b>Slew rate (V/uS)</b>	17.22	2.5
<b>Settling time (uS)</b>	.68	2.27

**Tabla 4.3:** Especificaciones del OTA final y el OTA propuesto inicialmente

	$C_L$ (pF)	$I_{TOT}$ (mA)	Consumo de Potencia (mW)	BW (MHz)	Capacitores de Comp. (pF)
Top.Buffer	0.5	0.051	0.010	377.85	$C_{c1} = 0,3$ $C_{c2} = 0,3$
Top.Inicial	0.5	0.044	0.035	80.12	$C_{c1} = 1,5$ $C_{c2} = 1,5$
NGCC	20	0.34	0.68	0.61	$C_{c1} = -$ $C_{c2} = -$
NMCF	100	0.2	0.406	1.8	$C_{c1} = 30$ $C_{c2} = 5,3$
NMC	100	61	305	.374	$C_{c1} = 34$ $C_{c2} = 11$
MNMC	100	9.5	76	100	$C_{c1} = -$ $C_{c2} = -$
DPZC	500	0.15	0.225	1.4	$C_{c1} = 30$ $C_{c2} = 20$
DLPC	120	0.22	0.33	7	$C_{c1} = 4,8$ $C_{c2} = 2,5$
DFCFC	1000	0.21	0.42	2.6	$C_{c1} = 55$ $C_{c2} = 3$
ACBC	500	0.162	.324	1.9	$C_{c1} = 10$ $C_{c2} = 3$
AFFC	100	0.17	0.25	5.5	$C_{c1} = 5,4$ $C_{c2} = 4$
TCFC	150	0.03	0.045	2.85	$C_{c1} = 1,1$ $C_{c2} = 0,92$

**Tabla 4.4:** Desempeño de las topologías investigadas en este trabajo

---

# Capítulo 5

## Conclusiones y trabajo futuro

El diseño de OTAs presenta muchos retos como ya se ha mencionado, y aunque existen diversas soluciones a las problemáticas éstas se enfocan a mejorar ciertos aspectos específicos (como el tiempo de respuesta o mejoras en la transconductancia, por mencionar algunos) pero en el caso de todas estas propuestas se trabaja con más de dos etapas, por lo que es menester emplear estrategias de compensación.

En la topología propuesta en [9] se introduce una configuración de clase AB para OTAs folded-cascode, la cual como se observó en la sección de resultados, provee un buen producto ganancia-BW con un consumo de potencia mínimo, además de que la compensación del sistema se lleva a cabo de manera exclusivamente capacitiva ya que en la función de transferencia no se presenta un cero del lado derecho del plano complejo. Con lo cual se evita utilizar la técnica del resistor zero-nulling, el cual al ser una resistencia es muy dependiente del proceso utilizado y de los cambios de temperaturas. Estas características hacen que esta topología sea muy versátil.

La adición del buffer como mejora en esta topología, mejora de manera significativa el ancho de banda del sistema, además de que permite emplear capacitancias de compensación más pequeñas que en el sistema original debido a que la adición del buffer desacopla las últimas dos etapas, con lo cual estas capacitancias ya no son dependientes de las transconductancias de la última etapa. Aunque el empleo del buffer ofrece mejoras significativas, también cabe mencionar que esta adición impli-

ca un incremento pequeño en el consumo de potencia, así como algunas dificultades para el diseño del layout, pero una vez comparadas las desventajas con los beneficios que ofrece, vale la pena la inclusión del buffer en esta topología.

Se planea continuar con la investigación empleando tecnologías de frontera, como aquellas de 65nm, y la inclusión de una etapa de Common-mode Feedback en tiempo continuo.

---

# Apéndice A

## Diseño del layout

### A.1. Introducción

El diseño del layout es básicamente la representación física de como sería fabricado el sistema. A éste se le atribuye el desempeño del circuito en general (velocidad, área, disipación de potencia, etc.) principalmente por que la estructura física determina las transconductancias de los transistores, las capacitancias parásitas, así como las resistencias de salida. Un buen diseño del layout permitirá obtener un sistema mucho más robusto con un desempeño predecible.

Los procesos de fabricación aunque son muy precisos no pueden reproducir de manera exacta el layout en la oblea de silicio, por lo que es importante cumplir con ciertas reglas de diseño para obtener un layout que sea fabricable.

### A.2. Consideraciones de Diseño

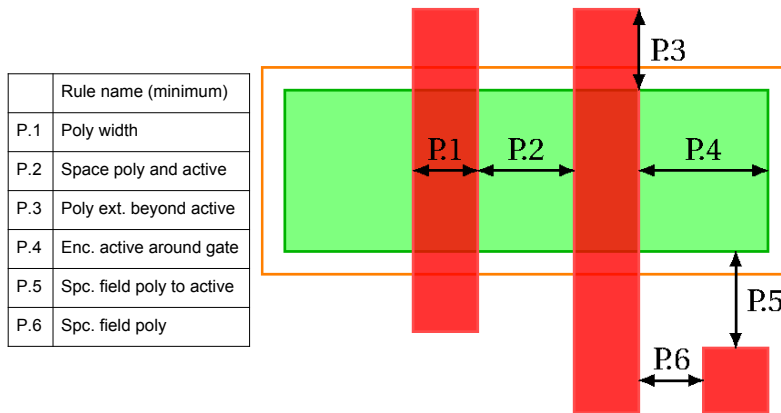
Como se menciona anteriormente el layout debe cumplir con ciertas reglas de diseño, las cuales dictan las limitantes geométricas impuestas en las distintas capas del layout dependiendo el proceso de fabricación. El diseñador debe seguir estas reglas para poder garantizar la calidad del producto final. En ocasiones un diseño puede violar varias reglas y aún así puede ser un chip funcional, sin embargo, hablando de su fabricación a gran escala, el radio de los chips funcionales fabricados en una oblea será bajo debido a las variaciones aleatorias en el proceso.

La herramienta Pyxis se encarga de verificar que las reglas de diseño no sean violadas, a pesar de esto se deben tener presentes los tipos de reglas existentes, las cuales dependiendo el proceso de fabricación variarán sus valores.

Las dos reglas más importantes para el diseño son las siguientes:

1. Reglas de resolución, estas especifican: ancho mínimo que se puede emplear, espaciado mínimo que garantiza ausencia de corto circuito
2. Reglas de alineamiento, estas especifican: alineamiento entre dispositivos, superposición entre capas.

Un ejemplo de las reglas de resolución se muestra en la Figura A.1.



**Figura A.1:** Reglas de resolución

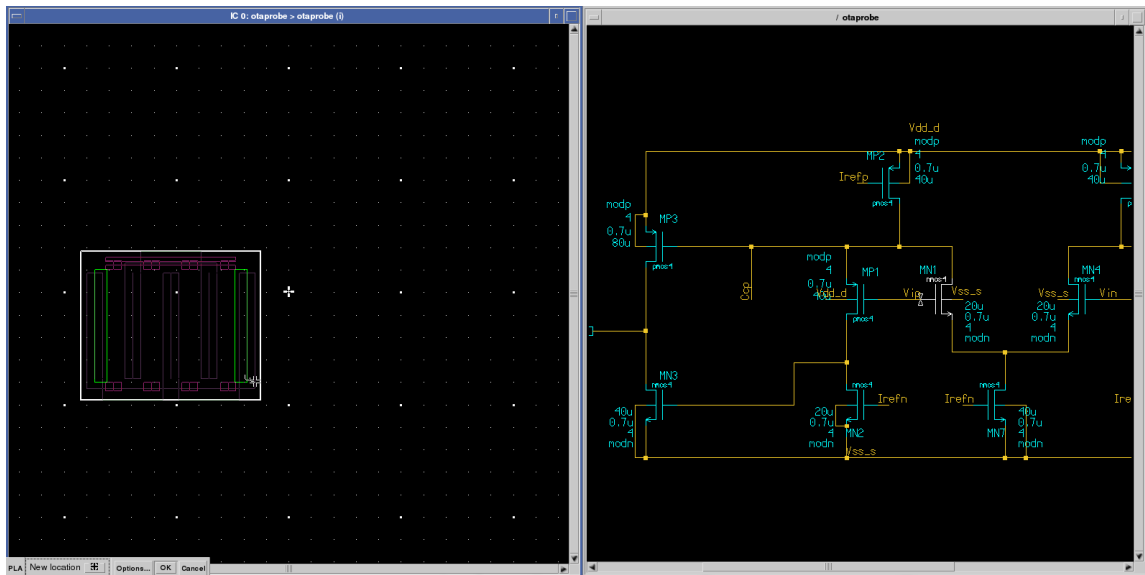
También se debe tener en cuenta que para reducir las resistencias parásitas del sistema a la salidas o entradas, se puede incrementar el número de contactos en estas, reduciendo así la resistencia, obteniendo una capacidad de corriente mayor y una mejor distribución de la corriente a lo largo del dispositivo.

Por último, como se trata de un amplificador diferencial de debe cuidar que los dispositivos estén emparejados y que guarden su simetría entre ellos, esto ayuda a reducir los efectos de desajuste debidos a las variaciones en el proceso de fabricación.

### A.3. Diseño paso a paso en la herramienta Pyxis

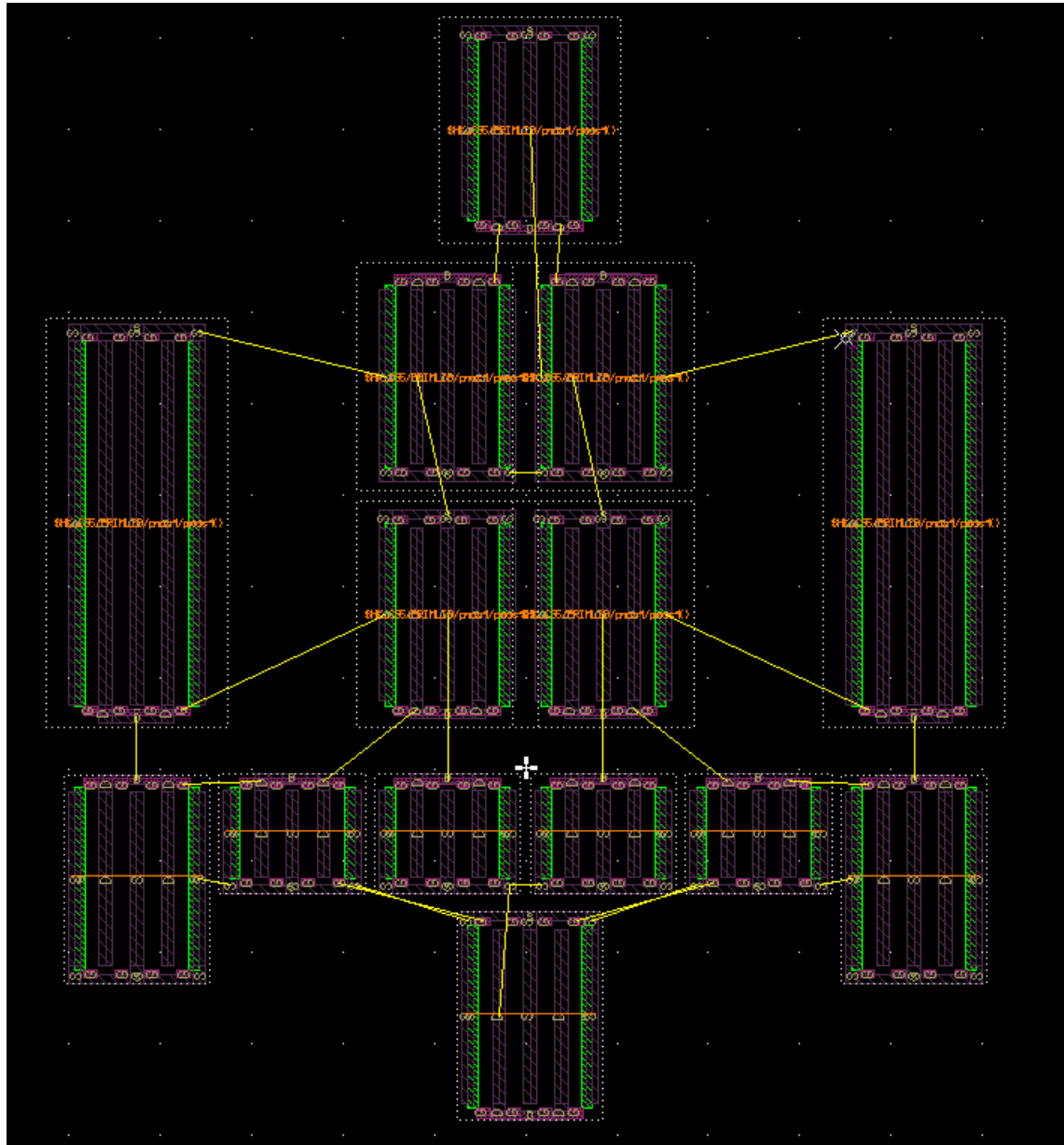
La herramienta Pyxis permite la creación del Layout a partir de un esquemático, siendo de gran ayuda ya que se puede verificar en tiempo real que todas las conexiones han sido realizadas.

En la Figura A.2 se lleva a cabo el primer paso en el diseño del Layout, la instanciación de los transistores en la cuadrícula del Layout. Durante esta misma se puede asignar la orientación deseada a los transistores.

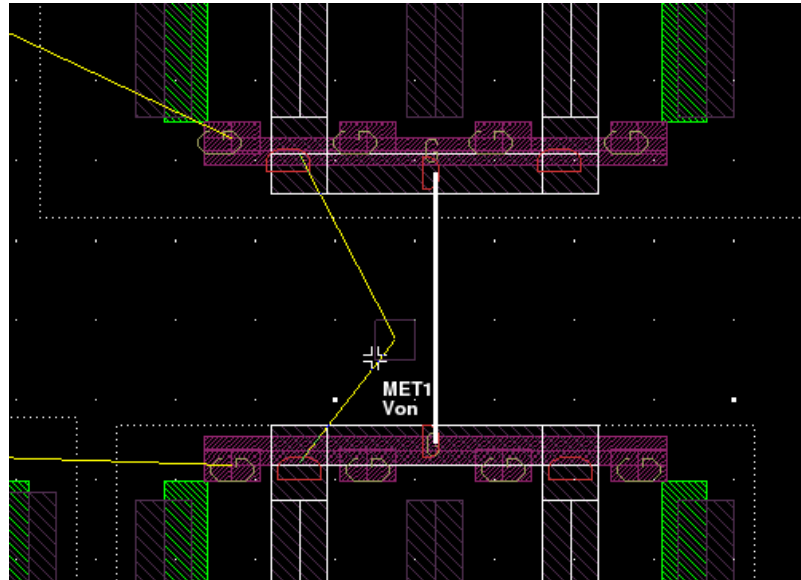


*Figura A.2: Instanciación de transistores*

Una vez instanciados los transistores en el arreglo geométrico deseado, Figura A.3, el siguiente paso es la colocación de los puertos del sistema en el Layout, Figura A.4.

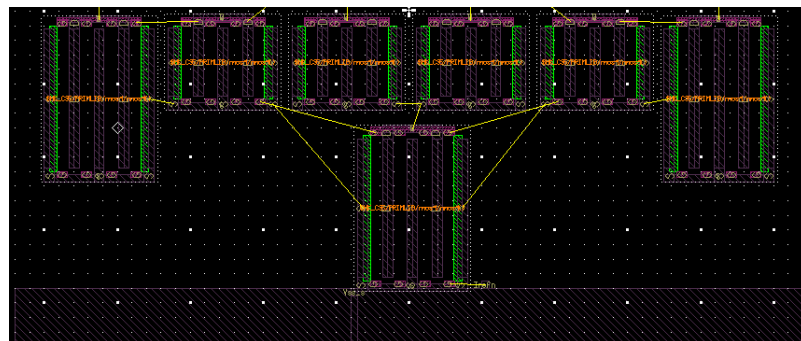


*Figura A.3: Arreglo geométrico del Layout*



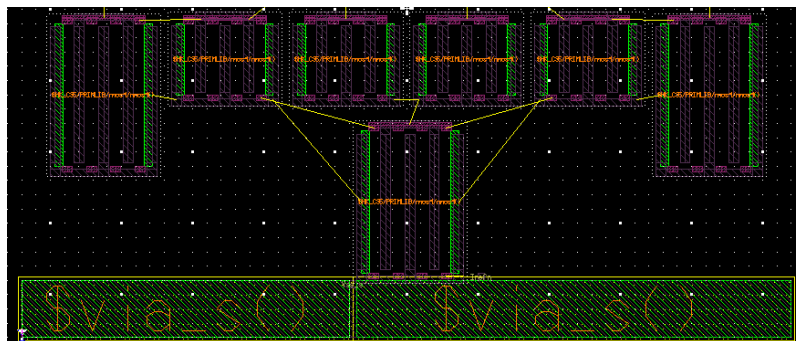
*Figura A.4: Colocación de puertos*

A continuación se extienden los rieles de  $V_{dd}$  y  $V_{ss}$  a lo largo de toda la estructura, como se muestra en la Figura A.5.



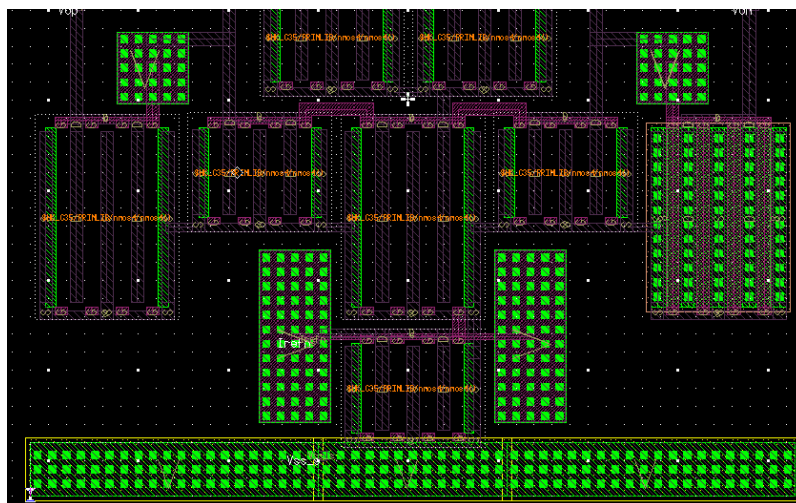
*Figura A.5: Extensión de los rieles de alimentación*

El siguiente paso consiste en crear pozos en los rieles de alimentación. En el caso de  $V_{ss}$  el pozo debe ser tipo p y n para el caso de  $V_{dd}$ . El resultado se muestra en la Figura A.6.



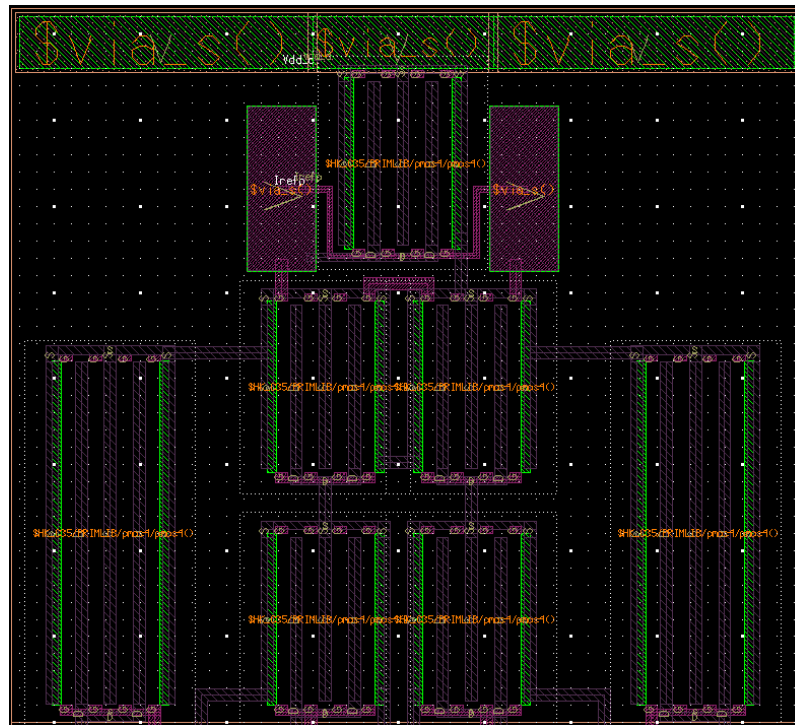
*Figura A.6: Creación de pozo en los rieles de alimentación*

Después de estos pasos, se empieza el ruteo, i.e. crear las conexiones entre los dispositivos. En algunos caso ya que existe un contacto metal-polisilicio es necesario crear contactos más grandes para disminuir las impedancias parásitas y que el sistema funcione de manera correcta. El resultado de este ruteo se muestra en la Figura A.7.



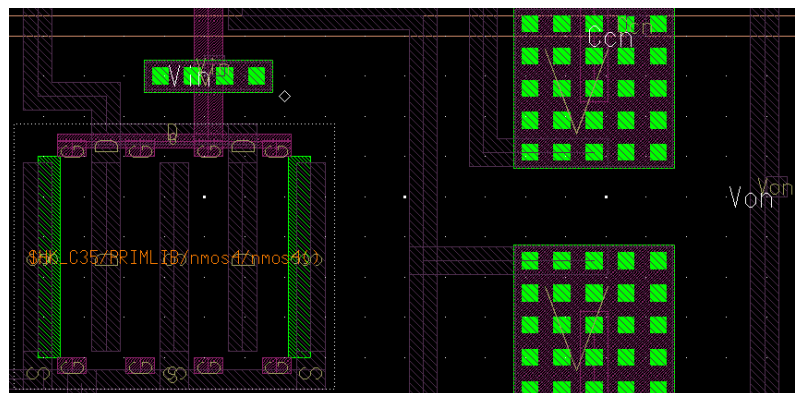
*Figura A.7: Ruteo del sistema*

Como ya se había mencionado antes para realizar la conexión al Bulk de los transistores PMOS, es necesario que se encuentren en un pozo tipo n. En la Figura A.8 se observa el sistema después de agregar éste pozo.



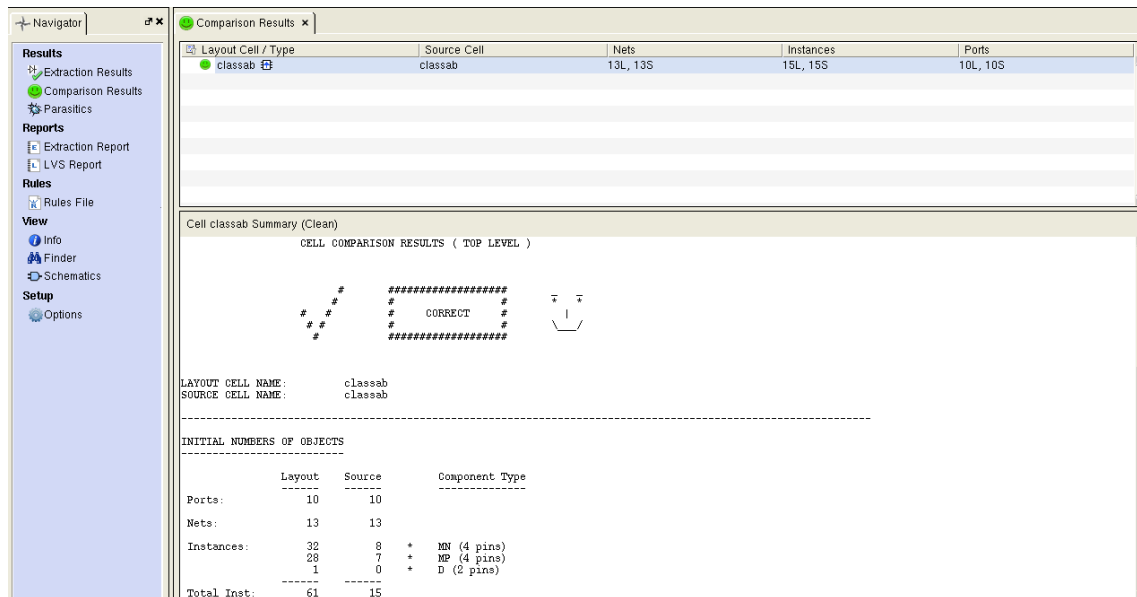
**Figura A.8:** Conexión a Bulk para transistores PMOS

El patrón geométrico ya está terminado hasta este punto, ahora se debe verificar que ninguna regla de diseño ha sido violada, y de pasar esta prueba el siguiente paso será la extracción del archivo que contiene toda la información acerca del diseño, para después realizar la simulación pos-layout. Primero se deben agregar los nombres a todos los puertos, como se muestra en la Figura A.9.



**Figura A.9:** Añadir nombres a los puertos

Hecho esto se verifica por medio del Layout vs. Esquemático (LVS, por sus siglas en inglés), que ninguna regla de diseño ha sido rota y que el layout diseñado corresponde al esquemático empleado. En el caso de este diseño los resultados son satisfactorios como se muestra en la Figura A.10.



**Figura A.10:** Resultados del LVS

Por último se realiza la extracción de parásitas por medio de la herramienta Calibre Interactive PEX que ofrece el software utilizado. En la herramienta se especifica que se haga la extracción en el layout que se está trabajando y que el resultado se guarde en un archivo tipo ELDO spice, el cual una vez creado se emplea para la simulación pos-layout.

---

# Bibliografía

- [1] DAS, R. SASWATO. 2009. "The chip that changed the world". *The New York Times*. Edición del 19 de Septiembre. New York, EUA
- [2] RADIO TIMES. "The ENIAC Anniversary". (Documento web) 2011.  
<http://whyy.org/cms/radiotimes/2011/02/14/the-eniac-anniversary/>  
15 de enero 2014
- [3] COMPUTER HISTORY MUSEUM. "1947 - Invention of the Point-Contact Transistor". (Documento web) 2007.  
<http://www.computerhistory.org/semiconductor/timeline/1947-invention.html>  
17 de enero 2014
- [4] CHARLES K. ALEXANDER y MATTHEW N. O. SADIKU. 2006. "Fundamentos de Circuitos Eléctricos". McGraw-Hill. New York, EUA.
- [5] CROTHERS, BROOKE. "TI launches Kilby Labs, marks 50 years of integrated circuits". (Documento web) 2008.  
<http://www.cnet.com/news/ti-launches-kilby-labs-marks-50-years-of-integrated-circuits/>  
15 de enero 2014
- [6] BAKER, R. JACOB. 2010. *CMOS: Circuit Design, Layout, and Simulation*. Wiley-IEEE. EUA. pp. 10-12.
- [7] WANLASS, F.M. "Low Standby-Power Complementary Field Effect transistor". US Patent 3,356,858. Archivado Junio 18 de 1963 y entregada en Diciembre 5 de 1967.

- [8] RAZAVI, BEHZAD. 2002. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill. New York, EUA.
- [9] GONZÁLEZ DÍAZ, VÍCTOR R., G PENA-PEREZ, A., GUERRERO-CASTELLANOS, J.F., TOME, A. y MINO-AGUILAR, G.. Sept. 2013. “*Compact implementation of a three stages feedforward operational transconductance amplifier with Miller compensation*”. *Circuit Theory and Design (ECCTD)*. pp.1,4, 8-12.
- [10] WEI, YAOGUANG. 2013. “*Overcoming Physical Design Challenges in Nanometer-Scale Integrated Circuits*”. University of Minnesota. Minnesota, EUA.
- [11] MAXFIELD, CLIVE. “*Overcoming 32/28-nm IC implementation challenges*”. (Documento web) 2010.  
[http://www.eetimes.com/document.asp?doc\\_id=1278448](http://www.eetimes.com/document.asp?doc_id=1278448)  
17 de enero 2014
- [12] HASELMAN, M. y HAUCK, S.. 2013. “*The Future of Integrated Circuits: A Survey of Nanoelectronics*”. *Proceedings of the IEEE*. Enero. Vol.98. No.1. pp.11-38. EUA.
- [13] CHUA O., LEON y DESOER, A. CHARLES.1987. “*Linear and Nonlinear circuits*”. McGraw-Hill. New York, EUA.
- [14] A. PUGLIESE, F. A. AMOROSO y G. CAPPUCINO. 2009. “*Settling Time Optimization for Three-Stage CMOS Amplifier Topologies*”. *IEEE Trans. Circuits Syst. I, Regular Papers*. Dec. Vol. 56. No. 12, pp. 2569–2582. EUA.
- [15] K. N. LEUNG y P. K. T. MOK. 2001. “*Analysis of multistage amplifier-frequency compensation*”. *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.* Sept. Vol. 48. No. 9, pp. 1041–1056. EUA.
- [16] F.YOU, S.EMBABI y E.SANCHEZ-SINENCIO. 1997. “*Multistage Amplifier topologies with nested Gm-C compensation*”. *IEEE J. Solid State Circuits*. Dec. Vol. 32. No. 12, pp. 2000–2011. EUA.

- [17] R. G. H. ESCHAUZIER, L. P. T. KERKLAAN y J. H. HUIJSING. 1992. “A 100 MHz 100 dB operational amplifier with multipath nested miller compensation structure”. IEEE J. Solid-State Circuits. Dec. Vol. 27. pp. 1709–1717. EUA.
- [18] S. PERNICI, G. NICOLLINI y R. CASTELLO. 1993. “A CMOS low-distortion fully differential power amplifier with double nested Miller compensation”. IEEE J. Solid-State Circuits. Jul. Vol. 28. pp. 758–763. EUA.
- [19] R.G.H. ESCHAUZIER y J.H. HUIJSING. 1995. “Frequency Compensation Techniques for Low-Power Operational Amplifiers”. Boston, MA: Kluwer.
- [20] A.D. GRASSO, G. PALUMBO y S. PENNISI. 2008. “Analytical comparison of frequency compensation techniques in three-stage amplifiers”. Int. J. Circ. Theory Applicat. Jan. Vol. 36. pp. 53–80. EUA.
- [21] A.D. GRASSO, G. PALUMBO y S. PENNISI. 2006. “Three-stage CMOS OTA for large capacitive loads with efficient frequency compensation scheme”. IEEE Trans. Circuits Syst. II, Exp. Briefs. Oct. Vol. 53. No.10. pp. 1044–1048. EUA.
- [22] H. LEE, K. N. LEUNG y P. K. T. MOK. 2003. “A dual-path bandwidth extension amplifier topology with dual-loop parallel compensation”. IEEE J. Solid-State Circuits. Oct. Vol. 38. pp. 1739–1744. EUA.
- [23] K. N. LEUNG, P. K. T. MOK, W. H. KI y J. K. O. SIN. 2000. “Three-stage large capacitive load amplifier with damping-factor-control frequency”. IEEE J. Solid-State Circuits. Oct. Vol. 35. No.2. pp. 221–230. EUA.
- [24] K. N. LEUNG, P. K. T. MOK, W. H. KI y J. K. O. SIN. 2000. “Three-stage capacitive load amplifier with damping-factor-control frequency”. IEEE J. Solid-State Circuits. Oct. Vol. 35. No.2. pp. 221–230. EUA.
- [25] X. PENG y W. SANSEN. 2004. “Ac Boosting Compensation Scheme for Low-Power Multistage Amplifiers”. IEEE J. Solid-State Circuits. Nov. Vol. 38. No.11. pp. 2074–2079. EUA.

- [26] H. LEE, y P. K. T. MOK. 2003. “*Active-feedback frequency-compensation technique for low-power multistage amplifiers*”. IEEE J. Solid-State Circuits. Mar. Vol. 38. pp. 511–520. EUA.
- [27] X. PENG, y W. SANSEN. 2005. “*Transconductance with capacitances feedback compensation for multistage amplifiers*”. IEEE J. Solid-State Circuits. Jul. Vol. 40. pp. 1514-1520. EUA.
- [28] A. D. GRASSO y G. PALUMBO. 2007. “*Advances in Reversed Nested Miller Compensation*”. IEEE Transactions on Circuits and Systems. Regular papers. Jul.Vol. 54. pp. 1459–1470. EUA.